

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0055

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: NONVOLATILE FERROELECTRIC MEMORY AND CONTROL  
DEVICE USING THE SAME

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0029375 filed May 9, 2003**

Respectfully submitted,

Date: 12/15/03

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

By Johnny A. Kumar  
Johnny A. Kumar

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0029375  
Application Number

출원년월일 : 2003년 05월 09일  
Date of Application MAY 09, 2003

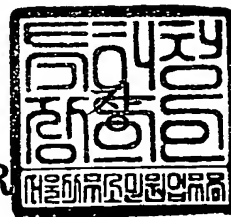
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    10    월    02    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.05.09
【국제특허분류】	H01L
【발명의 명칭】	불휘발성 강유전체 메모리 및 그 제어 장치
【발명의 영문명칭】	Non-volatile ferroelectric memory and controlling device thereof
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)



1020030029375

출력 일자: 2003/10/10

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	66	면	66,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	43	항	1,485,000	원
【합계】	1,580,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 불휘발성 강유전체 메모리 및 그 제어 장치에 관한 것으로서, 특히 페이지 어드레스의 액세스시 메모리 셀의 액세스 동작을 수행하지 않고 페이지 어드레스 버퍼에 저장된 데이터가 바로 출력되도록 하는 기술을 개시한다. 이를 위해 본 발명은 블록 페이지 어드레스 영역 및 컬럼 페이지 어드레스 영역을 최하위 비트에 배치하고, 로오 어드레스 영역을 최상위 비트에 배치하여, 페이지 어드레스 버퍼의 액세스시 셀 동작이 수행되지 않도록 함으로써 셀의 신뢰성을 향상시키고 전력 소비를 줄일 수 있도록 한다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

불휘발성 강유전체 메모리 및 그 제어 장치{Non-volatile ferroelectric memory and controlling device thereof}

**【도면의 간단한 설명】**

도 1은 종래의 불휘발성 강유전체 메모리 제어 장치에 관한 구성도.

도 2는 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 어드레스 영역 할당 설정을 나타낸 도면.

도 3은 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 구성도.

도 4는 도 3의 페이지 어드레스 래치부에 관한 상세 구성도.

도 5는 도 4의 페이지 어드레스 제어부에 관한 상세 회로도.

도 6은 도 3의 로오 어드레스 래치부에 관한 상세 구성도.

도 7은 도 3의 로오 어드레스 래치부에 관한 상세 회로도.

도 8은 도 3의 리셋신호 천이 검출부에 관한 상세 회로도.

도 9 및 도 10은 도 3의 리셋신호 천이 검출부에 관한 동작 타이밍도.

도 11 내지 도 18은 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치에 관한 동작 타이밍도.

도 19는 본 발명에 따른 불휘발성 강유전체 메모리에 관한 구성도.

도 20은 본 발명에 따른 불휘발성 강유전체 메모리의 다른 실시예.

도 21은 도 20의 블록 페이지에 관한 상세 구성도.

도 22 및 도 23은 도 21의 센스앰프에 관한 상세 회로도.

도 24는 도 22 및 도 23의 리드 구동 스위칭부 및 라이트 구동 스위칭부에 관한 상세 회로도.

도 25 내지 도 27은 도 22 및 도 23의 센스앰프에 관한 동작을 설명하기 위한 도면.

도 28은 본 발명에 따른 불휘발성 강유전체 메모리의 동작 타이밍도.

도 29는 본 발명에 따른 불휘발성 강유전체 메모리의 데이터 버스 버퍼부에 관한 상세 구성도.

도 30은 본 발명에 따른 불휘발성 강유전체 메모리의 셀 어레이에 관한 상세 회로도.

도 31 및 도 32는 본 발명에 따른 불휘발성 강유전체 메모리의 동작 타이밍도.

도 33 및 도 34는 본 발명의 재기록 횟수와 소비전력을 설명하기 위한 그래프.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 불휘발성 강유전체 메모리 및 그 제어 장치에 관한 것으로써, 특히 페이지 어드레스의 액세스시 메모리 셀의 액세스 동작을 수행하지 않고 페이지 어드레스 버퍼에 저장된 데이터가 바로 출력되도록 하는 기술이다.

<23> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM;Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.

- <24> 이러한 FeRAM은 디램과 거의 유사한 구조를 갖는 기억소자로써 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <25> 상술된 FeRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 대한민국 특허 출원 제 2001-57275호에 개시된 바 있다.
- <26> 상술한 종래의 불휘발성 강유전체 메모리의 액세스 동작은 일반적으로 도 1의 구성에 따라 제어된다.
- <27> 종래의 불휘발성 강유전체 메모리 제어 장치는, 칩 인에이블 신호 버퍼(1), 어드레스 버퍼(2), 디코더(3), 칩 인에이블 신호 천이 검출부(4), 어드레스 천이 검출부(5), 합성부(6) 및 칩 제어신호 발생부(7)를 구비한다.
- <28> 먼저, 칩 인에이블 신호 버퍼(1)는 패드로부터 입력되는 칩 인에이블 신호 CEB\_PAD를 버퍼링하여 칩 인에이블 신호 CEB를 출력한다. 어드레스 버퍼(2)는 패드로부터 입력되는 어드레스 ADD\_PAD<m:0>를 칩 인에이블 신호 CEB에 의하여 버퍼링하여 출력한다. 디코더(3)는 어드레스 버퍼(2)에서 버퍼링된 어드레스를 디코딩한다.
- <29> 칩 인에이블 신호 천이 검출부(4)는 칩 인에이블 신호 CEB의 천이 여부를 검출하여 칩 인에이블 천이 검출 신호 CTD를 출력한다. 어드레스 천이 검출부(5)는 어드레스 버퍼(2)에서 버퍼링된 어드레스의 천이 여부를 검출하여 어드레스 천이 검출 신호 ATD<m:0>를 출력한다.
- <30> 합성부(6)는 칩 인에이블 천이 검출 신호 CTD와 어드레스 천이 검출신호 ATD를 합성하여 천이 합성 신호 ATD\_S를 출력한다. 칩 제어신호 발생부(7)는 칩 인에이블 신호 CEB와 합성부



(6)로부터 인가되는 천이 합성 신호 ATD\_S로써 메모리 칩을 구동하기 위한 칩 제어신호들을 선택적으로 발생시킨다.

- <31> 그러나, 상술한 바와 같이 발생된 제어신호들에 의하여 동작이 제어되는 불휘발성 강유전체 메모리 장치는, 시스템 온 칩 SOC(System On Chip) 구조나 스탠드 얼론(Stand Alone) 구조에 사용될 경우 신뢰성을 향상시켜야 하는 필요성이 커지고 있다.
- <32> 특히, FeRAM 셀에 전압이 자주 인가되어 셀 오퍼레이션이 자주 발생되면, 그만큼 전력 소모가 증가하게 되어 신뢰성 측면에서 불리하다.
- <33> 즉, 종래의 불휘발성 강유전체 메모리 제어 장치는 어드레스 어사인(Assign)의 경우에도 로오 어드레스 및 컬럼 어드레스를 무작위로 배치함으로써 FeRAM의 셀 구동시 불필요한 전력이 소모되는 문제점이 있다. 따라서, 메모리 셀의 불필요한 동작으로 인하여 셀에 과도한 스트레스를 인가하게 되므로 셀의 수명이 단축되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <34> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 페이지 버퍼의 액세스 시 셀 액세스 동작을 수행하지 않고 페이지 버퍼에 저장된 데이터를 바로 출력함으로써 셀의 신뢰성을 향상시킬 수 있도록 하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

- <35> 상기한 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 제어장치는, 블록 페이지 어드레스 영역과 컬럼 페이지 어드레스 영역으로 구분된 페이지 어드레스를 칩 인에이블 신호에 따라 래치하여 디코딩하는 페이지 어드레스 버퍼; 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력하는 로오 어드레스 래치부; 래치된 로오 어드레

스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부; 및 어드레스 천이 검출신호에 따라 칩 동작을 제어하는 제어신호를 선택적으로 발생하는 칩 제어신호 발생부를 구비함을 특징으로 한다.

<36> 그리고, 본 발명은 블록 페이지 어드레스 영역과 컬럼 페이지 어드레스 영역으로 구분된 페이지 어드레스를 칩 인에이블 신호에 따라 래치하여 디코딩하는 페이지 어드레스 버퍼; 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력하는 로오 어드레스 래치부; 래치된 로오 어드레스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부; 칩 인에이블 신호에 따라 리셋신호의 천이 여부를 검출하여 리셋 천이 검출 신호를 출력하는 리셋신호 천이 검출부; 칩 인에이블 신호에 따라 라이트 인에이블 신호의 천이 여부를 검출하여 라이트 인에이블 천이 검출 신호를 출력하는 라이트 인에이블 천이 검출부; 어드레스 천이 검출신호, 리셋 천이 검출 신호 및 라이트 인에이블 천이 검출 신호에 따라 천이 합성 신호를 출력하는 합성부; 및 천이 합성 신호에 따라 칩 동작을 제어하는 제어신호를 선택적으로 발생하는 칩 제어신호 발생부를 구비함을 특징으로 한다.

<37> 또한, 본 발명에 따른 불휘발성 강유전체 메모리는, 복수개의 단위 블록을 구비하고, 복수개의 단위 블록 각각은, 복수개의 셀 어레이, 복수개의 로오 디코더 및 복수개의 컬럼 페이지를 구비하되, 하나의 단위 블록 내에 구비된 복수개의 컬럼 페이지는 하나의 단위 블록 페이지를 구성하여 동시에 활성화됨을 특징으로 한다.

<38> 또한, 본 발명은 복수개의 셀 어레이를 구비하는 복수개의 단위 블록; 복수개의 단위 블록과 상호 입출력 데이터를 교환하기 위한 공통 데이터 버스부; 복수개의 컬럼 페이지를 구비하는 하나의 단위 블록 페이지; 하나의 단위 블록 페이지와 상호 입출력 데이터를 교환하기 위

한 데이터 버스부를 구비하고, 하나의 단위 블록 페이지 내에 구비된 복수개의 컬럼 페이지는 동시에 활성화됨을 특징으로 한다.

<39> 또한, 본 발명은 칩 인에이블 신호에 따라 페이지 어드레스를 래치하는 페이지 어드레스 래치부; 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력하는 로오 어드레스 래치부; 래치된 로오 어드레스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부; 어드레스 천이 검출신호에 따라 칩 동작을 제어하는 제어 신호를 선택적으로 발생하는 칩 제어신호 발생부; 및 복수개의 단위 블록을 구비하고, 복수개의 단위 블록 각각은, 복수개의 셀 어레이, 복수개의 로오 디코더 및 복수개의 컬럼 페이지를 구비하되, 하나의 단위 블록 내에 구비된 복수개의 컬럼 페이지는 하나의 단위 블록 페이지를 구성하여 동시에 활성화됨을 특징으로 한다.

<40> 또한, 본 발명은 칩 인에이블 신호에 따라 페이지 어드레스를 래치하는 페이지 어드레스 래치부; 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력하는 로오 어드레스 래치부; 래치된 로오 어드레스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부; 어드레스 천이 검출신호에 따라 칩 동작을 제어하는 제어 신호를 선택적으로 발생하는 칩 제어신호 발생부; 복수개의 셀 어레이를 구비하는 복수개의 단위 블록; 복수개의 단위 블록과 상호 입출력 데이터를 교환하기 위한 공통 데이터 버스부; 복수개의 컬럼 페이지를 구비하는 하나의 단위 블록 페이지; 및 하나의 단위 블록 페이지와 상호 입출력 데이터를 교환하기 위한 데이터 버스부를 구비하고, 하나의 단위 블록 페이지 내에 구비된 복수개의 컬럼 페이지는 동시에 활성화됨을 특징으로 한다.

<41> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<42> 도 2는 본 발명에 따른 실시예 구현을 위한 어드레스 영역 할당을 나타낸다.

- <43> 메모리를 구동하는 프로세스에서 최하위 비트에 가까운 쪽에서 어드레스의 액세스가 일어날 확률이 높다. 이러한 특성을 고려하여 본 발명에서는 페이지 어드레스 영역을 최하위 비트(LSB : Least Significant Bit) 영역에 위치하도록 할당하고, 페이지 어드레스 영역에서는 어드레스 천이 검출 신호 ATD(Address Transition Detection)가 발생하지 않도록 한다(No ATD 영역). 따라서, 로오 어드레스가 일정할 경우 페이지 어드레스가 액세스되면 FeRAM 셀을 구동시키지 않고 페이지 어드레스 버퍼의 센스앰프에 저장된 데이터를 바로 출력하게 된다.
- <44> 반면에, 액세스될 확률이 적은 로오 어드레스 영역은 최상위 비트(MSB : Most Significant Bit) 영역에 위치하도록 할당한다. 그리고, 로오 어드레스가 변화할 때마다 어드레스 천이 검출신호 ATD가 발생하도록 하여 FeRAM 셀을 정상적으로 구동시키도록 한다.
- <45> 여기서, 페이지 어드레스 영역은 크게 컬럼 페이지 어드레스 영역과 블록 페이지 어드레스 영역으로 나눈다. 이때, 컬럼 페이지 어드레스 영역이 최하위 비트 영역에 가장 가깝도록 할당하고, 블록 페이지 어드레스 영역은 로오 어드레스 영역과 컬럼 페이지 어드레스 영역의 중간에 위치하도록 할당한다.
- <46> 도 3은 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 구성도이다.
- <47> 본 발명은 칩 인에이블 신호 버퍼(10), 페이지 어드레스 래치부(20), 페이지 디코더(30), 로오 어드레스 래치부(40), 로오 디코더(50), 리셋신호 천이 검출부(60), 어드레스 천이 검출부(70), 라이트 인에이블 신호 천이 검출부(80), 합성부(90) 및 칩 제어신호 발생부(100)를 구비한다.
- <48> 먼저, 칩 인에이블 신호 버퍼(10)는 패드로부터 입력되는 칩 인에이블 신호 CEB\_PAD를 버퍼링하여 칩 인에이블 신호 CEB를 출력한다.

- <49>        페이지 어드레스 래치부(20)는 패드로부터 입력되는 페이지 어드레스 PADD\_PAD<n:0>를 칩 인에이블 신호 CEB에 따라 래치하여 래치된 페이지 어드레스 PADD\_LAT, PADDB\_LAT를 출력한다. 페이지 디코더(30)는 래치된 페이지 어드레스 PADD\_LAT, PADDB\_LAT를 디코딩한다. 여기서, 페이지 어드레스 래치부(20)와 페이지 디코더(30)는 페이지 어드레스 버퍼로써 동작한다.
- <50>        로오 어드레스 래치부(40)는 패드로부터 입력되는 로오 어드레스 RADD\_PAD<m:0>를 칩 인에이블 신호 CEB에 따라 래치하여 래치된 로오 어드레스 ADD\_LAT, ADDB\_LAT와 로오 어드레스 RADD\_L를 출력한다. 로오 디코더(50)는 래치된 로오 어드레스 ADD\_LAT, ADDB\_LAT를 디코딩한다.
- <51>        리셋신호 천이 검출부(60)는 리셋신호 RESET의 천이 여부를 칩 액세스 초기 동작시 칩 인에이블 신호 CEB에 따라 검출하여 리셋 천이 검출 신호 RTD를 출력한다. 어드레스 천이 검출부(70)는 로오 어드레스 래치부(40)에서 래치되어 출력되는 로오 어드레스 RADD\_L의 천이 여부를 검출하고, 검출 결과로써 어드레스 천이 검출 신호 ATD<m:0>를 출력한다. 라이트 인에이블 신호 천이 검출부(80)는 라이트 모드시에 칩 인에이블 신호 CEB에 따라 라이트 인에이블 신호 WEB의 천이 여부를 검출하여 라이트 인에이블 천이 검출 신호 WTD를 출력한다.
- <52>        합성부(90)는 리셋 천이 검출 신호 RTD와, 어드레스 천이 검출 신호 ATD 및 라이트 인에이블 천이 검출 신호 WTD를 합성하여 천이 합성 신호 ATD\_S를 출력한다. 칩 제어신호 발생부(100)는 칩 인에이블 신호 CEB와 천이 합성 신호 ATD\_S로써 메모리 칩을 구동하기 위한 칩 제어신호들을 선택적으로 발생시킨다.
- <53>        도 4는 도 3의 페이지 어드레스 래치부(20)에 관한 상세 구성도이다.

- <54>        페이지 어드레스 래치부(20)는 페이지 어드레스 제어부(21) 및 인버터 IV1~IV4를 구비한다. 여기서, 페이지 어드레스 제어부(21)는 칩 인에이블 신호 CEB의 상태에 따라 패드로부터 입력되는 페이지 어드레스 PADD\_PAD를 래치하여 선택적으로 출력한다.
- <55>        인버터 IV1, IV2는 노드 (A)의 출력신호를 비반전 지연하여 래치된 페이지 어드레스 PADD\_LAT를 출력한다. 그리고, 인버터 IV3, IV4는 인버터 IV1의 출력신호를 비반전 지연하여 래치된 페이지 어드레스 PADDB\_LAT를 출력한다.
- <56>        도 5는 도 4의 페이지 어드레스 제어부(21)에 관한 상세 회로도이다.
- <57>        페이지 어드레스 제어부(21)는 전송게이트 T1, T2 및 인버터 IV5~IV7를 구비한다. 인버터 IV5는 칩 인에이블 신호 CEB를 반전시킨다. 전송게이트 T1, T2는 턴온과 턴오프가 서로 반대되게 이루어진다. 그러므로, 전송게이트 T2가 턴온 상태이면 인버터 IV6, IV7에 의하여 미리 전송된 페이지 어드레스 PADD\_PAD가 래치되어 노드 (A)로 출력된다.
- <58>        그리고, 전송게이트 T2가 턴오프 상태이면 턴온된 전송게이트 T1을 통하여 인버터 IV6으로 새로운 페이지 어드레스 PADD\_PAD가 전달된다. 그후에, 전송게이트 T1이 턴오프되어 페이지 어드레스 PADD\_PAD의 전송경로가 차단되면, 턴온된 전송게이트 T2에 의하여 인버터 IV6, IV7은 래치 동작을 수행한다. 그리고, 래치된 페이지 어드레스 PADD\_PAD가 노드 (A)로 출력된다.
- <59>        즉, 페이지 어드레스 제어부(21)는 칩 인에이블 신호 CEB가 로우일때 페이지 어드레스 PADD\_PAD를 반전하여 노드 (A)에 출력한다. 그리고, 칩 인에이블 신호 CEB가 하이일때 이전의 페이지 어드레스 PADD\_PAD를 래치한다.
- <60>        도 6은 도 3의 로오 어드레스 래치부(40)에 관한 상세 구성도이다.

- <61> 로오 어드레스 래치부(40)는 로오 어드레스 제어부(41), 래치 제어부(42) 및 인버터 IV8~IV11를 구비한다. 여기서, 로오 어드레스 제어부(41)는 패드로부터 입력되는 로오 어드레스 RADD\_PAD를 칩 인에이블 신호 CEB의 상태에 따라 래치하여 노드 (B)에 출력한다. 그리고, 래치 제어부(42)는 노드 (B)의 출력신호를 래치 제어신호 LAT\_CON의 상태에 따라 래치하여 노드 (C)에 출력한다.
- <62> 여기서, 래치 제어신호 LAT\_CON는 메모리 셀 동작의 활성화 여부에 의해 그 상태가 결정된다. 즉, 래치 제어신호 LAT\_CON는 메모리 셀의 구동이 시작되는 시점에서 하이로 천이하고, 메모리 셀의 구동이 끝나는 시점에서 로우로 천이한다.
- <63> 한편, 인버터 IV8는 노드 (C)의 출력신호를 반전하여 로오 어드레스 RADD\_L를 어드레스 천이 검출부(70)에 출력한다. 그리고, IV9는 인버터 IV8의 출력신호를 반전하여 래치된 로오 어드레스 ADD\_LAT를 출력한다. 또한, 인버터 IV10, IV11는 인버터 IV8의 출력신호를 비반전 지연하여 래치된 로오 어드레스 ADDB\_LAT를 출력한다. 결국, 인버터 IV8~IV11는 로오 어드레스 래치부(40)의 출력부 역할을 한다.
- <64> 도 7은 도 6의 로오 어드레스 제어부(41) 및 래치 제어부(42)에 관한 상세 회로도이다.
- <65> 로오 어드레스 제어부(41)는 전송게이트 T3, T4 및 인버터 IV12~IV14를 구비한다. 인버터 IV12는 칩 인에이블 신호 CEB를 반전시킨다. 전송게이트 T3, T4는 턴온과 턴오프가 서로 반대되게 이루어진다. 그러므로, 전송게이트 T4가 턴온 상태이면 인버터 IV13, IV14에 의하여 미리 전송된 로오 어드레스 RADD\_PAD가 래치되어 노드 (B)에 출력된다.

- <66> 그리고, 전송게이트 T4가 턴오프 상태이면 턴온된 전송게이트 T3을 통하여 인버터 IV13으로 새로운 로오 어드레스 RADD\_PAD가 전달된다. 그후에, 전송게이트 T3이 턴오프되어 로오 어드레스 RADD\_PAD의 전송경로가 차단되면, 턴온된 전송게이트 T4에 의하여 인버터 IV13, IV14는 래치 동작을 수행한다. 그리고, 래치된 로오 어드레스 RADD\_PAD가 노드 (B)로 출력된다.
- <67> 즉, 로오 어드레스 제어부(41)는 칩 인에이블 신호 CEB가 로우일때 로오 어드레스 RADD\_PAD를 반전하여 노드 (B)에 출력한다. 반면에, 칩 인에이블 신호 CEB가 하이일때 이전의 로오 어드레스 RADD\_PAD를 래치한다.
- <68> 그리고, 래치 제어부(42)는 전송게이트 T5, T6 및 인버터 IV15~IV17를 구비한다. 인버터 IV15는 래치 제어신호 LAT\_CON를 반전하여 출력한다. 전송게이트 T5는 래치 제어신호 LAT\_CON의 상태에 따라 노드 (B)의 출력신호를 선택적으로 출력한다.
- <69> 전송게이트 T5의 출력신호는 래치 구조의 인버터 IV15, IV16에서 일정 시간 동안 래치된다. 전송게이트 T6는 래치 제어신호 LAT\_CON의 상태에 따라 인버터 IV17의 출력신호를 선택적으로 출력한다.
- <70> 여기서, 래치 제어신호 LAT\_CON는 메모리 셀 동작의 활성화 여부에 의해 그 상태가 결정된다. 즉, 래치 제어신호 LAT\_CON는 메모리 셀의 구동이 시작되는 시점에서 하이로 천이하고, 메모리 셀의 구동이 끝나는 시점에서 로우로 천이한다.
- <71> 따라서, 래치 제어부(42)는 메모리 셀이 구동되지 않는 구간에서는 래치 제어신호 LAT\_CON가 로우가 되어 노드 (B)의 출력신호를 반전하여 노드 (C)에 출력한다. 반면에, 래치 제어부(42)는 메모리 셀이 구동되는 구간에서는 래치 제어신호 LAT\_CON가 하이가 되어 노드 (B)의 출력신호를 래치함으로써 다음 동작을 대기하는 상태가 된다.



- <72> 또한, 래치 제어부(42)는 칩 인에이블 신호 CEB가 하이인 구간에서 래치 제어신호 LAT\_CON가 하이가 되어 새롭게 입력되는 어드레스가 래치 제어부(42)를 통과하지 못하도록 한다. 그리고, 칩 인에이블 신호 CEB가 다시 로우로 디스에이블 되면 래치 제어신호 LAT\_CON도 로우로 디스에이블 되어 노드 (B)로부터 인가되는 로우 어드레스를 노드 (C)로 출력한다.
- <73> 도 8은 도 3의 리셋신호 천이 검출부(60)의 상세 회로도이다.
- <74> 리셋신호 천이 검출부(60)는 리셋신호 감지부(61) 및 펄스 발생부(65)를 구비한다.
- <75> 먼저, 리셋신호 감지부(61)는 입력 제어부(62), 구동부(63) 및 래치부(64)를 구비하여, 초기의 리셋신호 발생 및 칩 인에이블 신호 CEB의 활성화를 감지한다. 여기서, 입력 제어부(62)는 인버터 IV18 및 노아게이트 NOR1를 구비한다. 인버터 IV18는 리셋신호 RESET를 반전한다. 노아게이트 NOR1는 리셋신호 RESET 및 칩 인에이블 신호 CEB를 노아연산하여 노드 (D)에 출력한다.
- <76> 구동부(63)는 전원전압 VCC 인가단과 접지전압 VSS 인가단 사이에 직렬 연결된 PMOS트랜지스터 P1 및 NMOS트랜지스터 N1을 구비한다. 여기서, PMOS트랜지스터 P1의 게이트 단자에 인버터 IV18의 출력이 인가되고, NMOS트랜지스터 N1의 게이트 단자에 노아게이트 NOR1의 출력이 인가된다. 래치부(64)는 래치 구조의 인버터 IV19, IV20을 구비하여 노드 (E)의 신호를 래치하여 노드 (F)로 출력한다.
- <77> 또한, 펄스 발생부(65)는 지연부(66), 낸드게이트 ND1 및 인버터 IV24를 구비한다. 여기서, 지연부(66)는 직렬 연결되어 노드 (F)의 출력신호를 반전 지연하는 인버터 IV21~IV23을 구비한다. 낸드게이트 ND1는 지연부(66)의 출력신호 및 노드 (F)의 출력신호를 낸드연산한다. 인버터 IV24는 낸드게이트 ND1의 출력을 반전하여 리셋 천이 검출 신호 RTD를 출력한다.

- <78> 이러한 구성을 갖는 리셋신호 천이 검출부(60)의 동작 과정을 도 9 및 도 10의 타이밍도를 참조하여 설명하면 다음과 같다.
- <79> 먼저, 칩 인에이블 신호 CEB가 로우로 디스에이블된 상태에서 전원전압이 공급될 경우, 리셋신호 RESET의 전압 레벨이 전원전압을 따라서 서서히 상승한다.
- <80> 리셋신호 RESET가 일정 레벨 이상 인에이블 되면, 인버터 IV18의 출력에 의해 PMOS트랜지스터 P1가 턴온되어 노드 (E)의 전압레벨이 리셋신호 RESET를 따라 서서히 상승한다. 이때, NMOS트랜지스터 N1는 턴오프 상태를 유지한다. 그리고, 상승한 리셋신호 RESET와 노드 (E)의 전압 발생 시점은 다소 차이가 발생되나, 이는 CMOS 동작 영역에 있어서 무시될 수 있을 정도로써 도 9에는 그 차를 표시하지 않고 있다.
- <81> 이후에, 전원전압이 서서히 상승하여 어느 임계 전압 VCC 이상이 될 경우, 리셋신호 RESET는 하에서 로우로 천이한다. 이에 따라, NMOS트랜지스터 N1가 턴온되어 노드 (E)에 접지전압 VSS을 출력한다. 노드 (E)의 출력신호는 래치부(64)에서 일정시간동안 래치된다.
- <82> 여기서, PMOS트랜지스터 P1는 리셋신호 RESET가 로우일 경우, 칩 인에이블 신호 CEB의 전압 레벨과 상관없이 계속해서 턴오프 상태를 유지한다. 이에 따라, 노드 (E)의 전압레벨을 계속해서 로우 상태를 유지한다.
- <83> 다음에, 노드 (F)의 전압 레벨이 하이로 천이할 경우, 펄스 발생부(65)는 지연부(66)의 지연시간 만큼(T2)의 펄스폭을 갖는 리셋 천이 검출 신호 RTD를 발생한다.
- <84> 도 10은 칩 인에이블 신호 CEB가 리셋신호 RESET 보다 T2의 시간만큼 늦게 로우로 디스에이블되는 경우의 동작 타이밍도를 나타낸다.

- <85> 만약, 리셋신호 RESET가 칩 인에이블 신호 CEB 보다 먼저 로우로 디스에이블될 경우, 칩 인에이블 신호 CEB에 의해 NMOS트랜지스터 N1가 턴오프 상태를 유지하게 되어 노드 (E)의 전압 레벨이 계속해서 하이 상태를 유지한다.
- <86> 이후에, T3구간의 진입시 칩 인에이블 신호 CEB가 로우로 천이하면, NMOS트랜지스터 N1가 턴온되어 노드 (E)의 전압이 풀다운된다. 노드 (E)의 출력신호는 래치부(64)에서 일정시간 동안 래치된다.
- <87> 여기서, PMOS트랜지스터 P1는 리셋신호 RESET가 로우일 경우, 칩 인에이블 신호 CEB의 전압 레벨과 상관없이 계속해서 턴오프 상태를 유지한다. 이에 따라, 노드 (E)의 전압레벨을 계속해서 로우 상태를 유지한다.
- <88> 따라서, 노드 (F)의 전압 레벨이 하이로 천이할 경우, 펄스 발생부(65)는 지연부(66)의 지연시간 만큼(T3)의 펄스폭을 갖는 리셋 천이 검출 신호 RTD를 발생한다.
- <89> 도 11은 칩 인에이블 신호 CEB가 토글될 경우, 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 동작 타이밍도를 나타낸다.
- <90> 먼저, 파워 온 이후에 리셋신호 RESET 및 칩 인에이블 신호 CEB가 로우로 디스에이블되고, 첫번째 로오 어드레스의 입력시 리셋 천이 검출 신호 RTD가 발생한다. 이때, 파워 온 리셋 이후에 첫번째 입력되는 로오 어드레스 RADD\_PAD(000..00)가 변하지 않기 때문에 어드레스 천이 검출 신호 ATD는 발생하지 않는다.
- <91> 이후에, 합성부(90)는 리셋 천이 검출 신호 RTD의 인에이블시 천이 합성 신호 ATD\_S, 프리차지 신호 및 센스앰프 인에이블 신호 SEN를 발생한다. 그리고, 칩 제어신호 발생부(100)는 메모리 셀 동작 신호 OUT를 발생한다.

- <92> 다음에, 두번째 입력되는 로오 어드레스 RADD\_PAD(100..00)가 변할 경우에도, 칩 인에이블 신호 CEB가 로우로 디스에이블될 경우에만 래치된 로오 어드레스 RADD\_L가 출력된다. 이에 따라, 어드레스 천이 검출부(70)는 어드레스 천이 검출 신호 ATD를 발생하고, 칩 제어신호 발생부(100)는 어드레스 천이 검출 신호 ATD에 따라 메모리 셀 동작 신호 OUT를 발생한다.
- <93> 결국, 본 발명은 어드레스 천이 검출신호 ATD 또는 리셋 천이 검출 신호 RTD가 활성화될 경우 센스앰프가 이퀄라이징되어 초기화 상태를 유지한다. 그 이외의 나머지 구간에서는 칩 인에이블 신호 CEB가 하이로 인에이블 된 경우에도 센스앰프가 계속해서 활성화 상태를 유지한다. 따라서, 센스앰프는 칩 인에이블 신호 CEB 및 출력 인에이블 신호 OEB에 의해 이전 데이터를 바로 액세스하여 출력할 수 있다.
- <94> 도 12는 칩 인에이블 신호 CEB가 로우 상태를 유지할 경우, 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 동작 타이밍도를 나타낸다.
- <95> 먼저, 파워 온 이후에 리셋신호 RESET 및 칩 인에이블 신호 CEB가 로우로 디스에이블되고, 첫번째 로오 어드레스의 입력시 리셋 천이 검출 신호 RTD가 발생한다. 여기서, 칩 인에이블 신호 CEB가 로우인 상태에서 리셋신호 RESET가 하이에서 로우로 디스에이블되면, 리셋신호 RESET의 디스에이블 시점에 동기하여 리셋 천이 검출 신호 RTD가 발생한다.
- <96> 다음에, 칩 인에이블 신호 CEB가 로우로 디스에이블 된 상태에서, 두번째 입력되는 로오 어드레스 RADD\_PAD(100..00)가 변할 경우 어드레스 천이 검출부(70)는 어드레스 천이 검출 신호 ATD를 발생한다. 칩 제어신호 발생부(100)는 어드레스 천이 검출 신호 ATD에 따라 메모리 셀 동작 신호 OUT를 발생한다.

- <97> 도 13은 첫번째 로오 어드레스에 의한 칩 동작시 칩 인에이블 신호 CEB에 의해 리셋 천이 검출 신호 RTD가 발생함을 나타내는 타이밍도이다.
- <98> 먼저, 파워 온 이후에 리셋신호 RESET 및 칩 인에이블 신호 CEB가 로우로 디스에이블 되고, 첫번째 로오 어드레스의 입력시 리셋 천이 검출 신호 RTD가 발생한다. 여기서, 리셋신호 RESET 보다 칩 인에이블 신호 CEB가 더 늦게 로우로 디스에이블 되면, 칩 인에이블 신호 CEB의 디스에이블 시점에 동기하여 리셋 천이 검출 신호 RTD가 발생한다. 따라서, 리셋신호 RESET 및 칩 인에이블 신호 CEB가 모두 로우가 되는 시점에서 리셋 천이 검출 신호 RTD가 발생한다.
- <99> 이때, 칩 인에이블 신호 CEB가 하이인 구간에서는 래치 제어신호 LAT\_CON가 하이가 되고, 리셋 천이 검출 신호 RTD가 하이인 구간에서는 래치 제어신호 LAT\_CON가 로우가 된다.
- <100> 따라서, 래치 제어신호 LAT\_CON가 로우로 천이하면, 로오 어드레스 RADD\_L가 어드레스 천이 검출부(70)로 출력되고, 합성부(90)는 천이 합성 신호 ATD\_S를 출력한다. 이에 따라, 센스앰프 인에이블 신호 SEN이 로우로 디스에이블 되고, 워드라인 WL, 플레이트 라인 PL 및 비트 라인 BL이 하이로 인에이블 된다. 그리고, 센스앰프 인에이블 신호 SEN가 하이로 천이하면 메모리 셀에 저장된 출력 데이터 DOUT가 출력된다.
- <101> 이후에, 프리차지 구간에서 칩 인에이블 신호 CEB가 하이로 인에이블 되면 출력데이터 DOUT가 더이상 출력되지 않는다.
- <102> 도 14는 첫번째 로오 어드레스에 의한 칩 동작시 리셋신호 RESET에 의해 리셋 천이 검출 신호 RTD가 발생함을 나타내는 타이밍도이다.

- <103> 먼저, 파워 온 이후에 리셋신호 RESET가 디스에이블 되고, 첫번째 로오 어드레스의 입력 시 리셋 천이 검출 신호 RTD가 발생한다. 여기서, 칩 인에이블 신호 CEB의 디스에이블 상태에서 리셋신호 RESET로우로 디스에이블 되면, 리셋신호 RESET의 디스에이블 시점에 동기하여 리셋 천이 검출 신호 RTD가 발생한다.
- <104> 따라서, 리셋신호 RESET 및 칩 인에이블 신호 CEB가 모두 로우가 되는 시점에서 리셋 천이 검출 신호 RTD가 발생한다. 이때, 로오 어드레스 RADD\_L가 변하지 않을 경우, 리셋 천이 검출 신호 RTD에 따라 천이 합성 신호 ATD\_S가 발생하게 된다.
- <105> 여기서, 칩 인에이블 신호 CEB가 로우인 상태에서, 래치 제어신호 LAT\_CON는 셀의 구동시에만 하이이고, 나머지 구간에서는 로우로 디스에이블 된다. 하지만, 리셋 천이 검출 신호 RTD에 의해 천이 합성 신호 ATD\_S가 발생하여 센스앰프 인에이블 신호 SEN가 디스에이블 된다.
- <106> 따라서, 래치 제어신호 LAT\_CON가 하이로 천이하면, 워드라인 WL, 플레이트 라인 PL 및 비트라인 BL이 하이로 인에이블 된다. 그리고, 센스앰프 인에이블 신호 SEN가 하이로 천이하면 메모리 셀에 저장된 출력 데이터 DOUT가 정상적으로 출력된다. 이후에, 칩 인에이블 신호 CEB가 하이로 인에이블 되면 출력 데이터 DOUT가 더이상 출력되지 않는다.
- <107> 만약, 도 15에 나타난 바와 같이, 칩 인에이블 신호 CEB가 디스에이블 상태를 유지할 경우 출력 데이터 DOUT는 계속해서 출력된다. 즉, 센스앰프는 이전 사이클 어드레스에 해당하는 데이터를 계속해서 저장하기 위해, 로오 어드레스가 바뀌어 새로운 셀 동작이 시작되기 전까지 센스앰프를 활성화 상태로 유지한다.

- <108> 그리고, 로오 어드레스가 변하여 어드레스 천이 검출 신호 ATD가 발생했을 경우에만 센스앰프를 초기화시킨다. 이때, 센스앰프의 활성화를 제어하는 신호가 센스앰프 인에이블 신호 SEN이다. 따라서, 센스앰프 인에이블 신호 SEN가 하이로 활성화 되어있는 동안에 출력 인에이블 신호 OEB나 칩 인에이블 신호 CEB를 이용하여 외부에 데이터를 출력할 수 있게 된다.
- <109> 결국, 리드 동작시에는 메모리 셀이 동작하지 않음에도 불구하고, 센스앰프는 계속해서 활성화 상태를 유지한다. 따라서, 이전 사이클에서 입력된 로오 어드레스 RADD\_PAD가 변하지 않을 경우, 센스앰프에 저장된 해당 페이지 어드레스가 바로 출력된다.
- <110> 또한, 라이트 동작시 라이트 인에이블 신호 WEB가 로우로 디스에이블 되어 라이트 명령이 입력되면, 합성부(90)는 라이트 인에이블 천이 검출 신호 WTD에 따라 천이 합성 신호 ATD\_S를 발생한다. 이에 따라, 칩 제어신호 발생부(100)가 동작 함으로써 해당하는 메모리 셀에 데이터를 정상적으로 라이트할 수 있게 된다.
- <111> 도 16은 칩 인에이블 신호 CEB 및 출력 인에이블 신호 OEB가 로우로 고정되었을 경우, 로오 어드레스 RADD\_PAD의 변화시 동작 타이밍도를 나타낸다.
- <112> 먼저, 칩 인에이블 신호 CEB 및 출력 인에이블 신호 OEB가 로우인 상태에서, 로오 어드레스 RADD\_PAD가 변화할 경우 어드레스 천이 검출 신호 ATD가 발생한다. 이에 따라, 천이 합성 신호 ATD\_S가 발생되어 센스앰프 인에이블 신호 SEN가 로우로 디스에이블 된다.
- <113> 이후에, 천이 합성 신호 ATD\_S가 로우로 디스에이블 되고, 래치 제어신호 LAT\_CON가 하이로 인에이블 되면 워드라인 WL, 플레이트 라인 PL 및 비트라인 BL이 하이로 인에이블 된다. 다음에, 센스앰프 인에이블 신호 SEN가 하이로 인에이블 되면 출력 데이터 DOUT이 계속해서 출력된다.

- <114> 즉, 칩 인에이블 신호 CEB가 로우 상태를 유지할 경우 래치 제어부(42)는 입력되는 로오 어드레스 RADD\_PAD를 계속해서 출력한다. 이에 따라, 어드레스 천이 검출부(70)는 어드레스 천이 검출 신호 ATD를 발생하여 정상적인 칩 동작이 이루어지도록 한다.
- <115> 만약, 도 17에서 보는 바와 같이 출력 인에이블 신호 OEB가 하이로 인에이블 되면, 출력 데이터 DOUT는 더이상 출력되지 않게 된다.
- <116> 도 18은 라이트 인에이블 신호 WEB의 활성화에 따른 라이트 인에이블 천이 검출 신호 WTD의 동작 타이밍도를 나타낸다.
- <117> 먼저, 리드 사이클 구간에서는 라이트 인에이블 신호 WEB 및 센스앰프 인에이블 신호 SEN가 하이 상태를 유지하여 출력 데이터 DOUT가 출력된다.
- <118> 이후에, 라이트 사이클 구간에서는 라이트 인에이블 신호 WEB가 로우로 천이하고, 이에 따라, 라이트 인에이블 천이 검출 신호 WTD가 발생한다. 그리고, 라이트 인에이블 천이 검출 신호 WTD에 의해 천이 합성 신호 ATD\_S가 인에이블 된다.
- <119> 이후에, 래치 제어신호 LAT\_CON가 하이로 인에이블 되면, 워드라인 WL, 플레이트 라인 PL 및 비트라인 BL이 하이로 인에이블 되고, 센스앰프 인에이블 신호 SEN가 하이로 인에이블 된다. 따라서, 칩 제어신호 발생부(100)에 의해 해당 셀에 입력 데이터 DIN가 라이트 되어 정상적인 라이트 동작을 수행할 수 있게 된다.
- <120> 여기서, 센스앰프는 이전 어드레스 사이클에서 입력된 데이터를 계속해서 저장하기 위해, 라이트 인에이블 천이 검출 신호 WTD가 발생하기 이전까지 계속해서 활성화 상태를 유지한다.
- <121> 도 19는 본 발명에 따른 불휘발성 강유전체 메모리의 구성도이다.



<122> 본 발명은 복수개의 단위 블록 BLK(0)~BLK(m)을 구비한다. 하나의 단위 블록 BLK은 복수개의 셀 어레이와, 복수개의 로오 디코더 및 복수개의 컬럼 페이지 CP를 구비한다. 여기서, 하나의 단위 블록 BLK 내에 구비된 복수개의 컬럼 페이지 CP들은 하나의 단위 블록 페이지 BP를 구성한다. 블록 페이지 BP 내부의 복수개의 컬럼 페이지 CP들은 동시에 활성화되거나 비활성화된다. 또한, 동일한 단위 블록 BLK 내에서 동일한 위치에 위치한 로오 영역은 동시에 활성화되거나 비활성화된다.

<123> 도 20은 본 발명에 따른 불휘발성 강유전체 메모리의 다른 실시예이다.

<124> 도 20의 실시예는, 복수개의 단위 블록 BLK(0)~BLK(m), 공통 데이터 버스부(350), 블록 페이지 BP 및 데이터 버스부(400)를 구비한다. 하나의 단위 블록 BLK은 하나의 메인 로오 디코더와, 복수개의 서브 로오 디코더와, 복수개의 셀 어레이 및 복수개의 칩 선택부를 구비한다. 여기서, 동일한 단위 블록 BLK 내에서 동일한 위치에 위치한 로오 영역은 동시에 활성화되거나 비활성화된다. 그리고, 복수개의 서브 로오 디코더들은 하나의 메인 로오 디코더에 의해 제어된다.

<125> 복수개의 칩 선택부는 공통 데이터 버스부(350)의 공통 데이터 버스 CDB와 연결된다. 복수개의 컬럼 페이지 CP들은 하나의 단위 블록 페이지 BP를 구성하여 공통 데이터 버스 CDB와 연결된다. 블록 페이지 BP 내부의 복수개의 컬럼 페이지 CP들은 동시에 활성화되거나 비활성화되고, 데이터 버스부(400)와 연결된다.

<126> 도 21은 도 20에 도시된 블록 페이지 BP의 상세 구성도이다.

<127> 하나의 블록 페이지 BP는 복수개의 컬럼 페이지 CP를 구비한다. 하나의 컬럼 페이지 CP는 센스앰프 버퍼부(200) 및 컬럼 선택부(300)를 구비한다. 여기서, 센스앰프 버퍼부(200)는

복수개의 센스앰프 S/A를 구비하고, 복수개의 센스앰프 S/A는 복수개의 공통 데이터 버스 CDB와 일대일 대응하여 연결된다. 센스앰프 인에이블 신호 SEN는 모든 센스앰프 S/A에 공통으로 인가되어, 센스앰프 S/A의 활성화 여부를 결정한다.

<128> 또한, 컬럼 선택부(300)는 복수개의 컬럼 선택 스위치(311)를 구비하고, 복수개의 컬럼 선택 스위치(311)는 복수개의 센스앰프 S/A와 일대일 대응하여 연결된다. 그리고, 데이터 버스부(400)의 복수개의 데이터 버스는 복수개의 컬럼 선택 스위치(311)와 연결되어 컬럼 선택 신호 CS\_SW의 입출력을 제어한다.

<129> 도 22는 도 21의 센스앰프 S/A 및 그 주변 회로에 관한 상세 회로도이다.

<130> 센스앰프 S/A는 풀업 스위치 P3, PMOS래치 증폭부(210), 이퀄라이징부(220), NMOS래치 증폭부(230) 및 풀다운 스위치 N4를 구비한다.

<131> 풀업 스위치 P3 및 풀다운 스위치 N4는 활성화 조정 스위치로써, 풀업 스위치 P3는 센스앰프 인에이블 신호 SEP에 따라 PMOS래치 증폭부(210)에 전원전압 VCC를 공급한다. 그리고, 풀다운 스위치 N4는 센스앰프 인에이블 신호 SEN에 따라 NMOS래치 증폭부(230)에 접지전압 VSS를 공급한다. 여기서, 센스앰프 인에이블 신호 SEP 및 센스앰프 인에이블 신호 SEN은 서로 반대 위상을 갖는다.

<132> PMOS래치 증폭부(210)는 풀업 스위치 P3 및 NMOS래치 증폭부(230) 사이에 위치하며, 래치 구조로 연결된 PMOS트랜지스터 P4,P5를 구비한다. NMOS래치 증폭부(230)는 PMOS래치 증폭부(210) 및 풀다운 스위치 N4 사이에 위치하며, 래치 구조로 연결된 NMOS트랜지스터 N2,N3를 구비한다.

- <133> 이퀄라이징부(220)는 PMOS트랜지스터 P4, NMOS트랜지스터 N2의 공통 게이트 단자와 PMOS트랜지스터 P5, NMOS트랜지스터 N3의 공통 게이트 단자 사이에 연결되어 게이트 단자에 센스앰프 이퀄라이징 신호 SEQ가 인가되는 PMOS트랜지스터 P6를 구비한다.
- <134> 이러한 구성을 갖는 센스앰프 S/A는 이퀄라이징부(220)의 비활성화시 PMOS래치 증폭부(210) 및 NMOS래치 증폭부(230)가 활성화되어 정상적인 동작을 수행한다. 즉, 센스앰프 인에이블 신호 SEP, SEN의 활성화시 PMOS트랜지스터 P3 및 NMOS트랜지스터 N4가 턴온되어, PMOS래치 증폭부(210) 및 NMOS래치 증폭부(230)가 동작한다. 이때, 이퀄라이징 신호 SEQ는 하이가 되어 PMOS트랜지스터 P6는 턴오프 상태를 유지한다.
- <135> 반면에, 이퀄라이징부(220)의 활성화시 센스앰프 S/A가 비활성화된다. 즉, 이퀄라이징 신호 SEQ가 로우로 천이하면 PMOS트랜지스터 P6가 턴온되어 센스앰프 S/A의 증폭 노드를 풀다운 및 이퀄라이징시킨다.
- <136> 한편, 공통 데이터 버스 풀업 구동부(240)는 전원전압 VCC 인가단과 공통 데이터 버스 CDB 사이에 연결되어 게이트 단자에 공통 데이터 버스 풀업 신호 CDBPU가 인가되는 PMOS트랜지스터 P2를 구비한다. 공통 데이터 버스 풀업 구동부(240)는 프리차지시 턴온되어 공통 데이터 버스 CDB를 전원전압 레벨로 프리차지 시킨다.
- <137> 공통 데이터 버스 스위칭부(250)는 노드 /S의 센싱전압을 제어하는 공통 데이터 버스 선택신호 CDB\_SW를 공통 데이터 버스 CDB에 선택적으로 공급한다. 여기서, 공통 데이터 버스 스위칭부(250)는 재저장시 그 연결이 차단된다. 기준전압 제어부(260)는 기준전압 REF을 노드 S에 선택적으로 공급하기 위한 기준전압 선택신호 REF\_SW를 제어한다. 여기서, 기준전압 제어부(260)는 센스앰프 S/A의 센싱시 턴온되어 기준전압 REF를 노드 S에 공급한다.

- <138>       라이트 구동 스위칭부(270)는 노드 (G)와 데이터 버스부(400) 사이에 연결되어, 데이터 버스부(400)로부터 인가되는 라이트 데이터를 구동하여 노드 /S에 출력한다. 리드 구동 스위칭부(280)는 공통 데이터 버스 CDB와 노드 (G) 사이에 연결되어, 노드 (G)로부터 인가되는 리드 데이터를 구동하여 공통 데이터 버스 CDB에 출력한다. 리드 구동 스위칭부(280)는 재저장시 컬럼 선택 스위치(310)를 통해 센스앰프 S/A로부터 인가되는 데이터를 재저장한다.
- <139>       컬럼 선택 스위치(310)는 노드 /S 및 노드 (G) 사이의 선택적인 연결을 제어한다. 그리고, 컬럼 선택 스위치(311)는 노드 S 및 데이터 버스부(400) 사이의 선택적인 연결을 제어한다. 라이트 동작시 데이터 버스부(400)를 통해 인가되는 라이트 데이터가 컬럼 선택 스위치(311)를 통해 센스앰프 S/A에 저장되고, 리드 동작시 센스앰프 S/A에 저장된 리드 데이터가 컬럼 선택 스위치(311)를 통해 데이터 버스부(400)로 출력된다.
- <140>       도 23은 도 22의 센스앰프 S/A에 관한 다른 실시예이다.
- <141>       도 23의 실시예에 따른 센스앰프 S/A는 이전 데이터를 저장 및 복구하기 위한 강유전체 캐패시터부(290)를 구비한다. 여기서, 강유전체 캐패시터부(290)는 복수개의 강유전체 캐패시터 FC1-FC4를 구비한다.
- <142>       강유전체 캐패시터 FC1, FC2는 그 일단이 PMOS트랜지스터 P4, NMOS트랜지스터 N2의 공통 게이트 단자와 연결된다. 강유전체 캐패시터 FC1의 다른 일단은 셀 플레이트 라인 CPL과 연결되고, 강유전체 캐패시터 FC3의 다른 일단은 접지전압단과 연결된다.
- <143>       그리고, 강유전체 캐패시터 FC2, FC4는 그 일단이 PMOS트랜지스터 P5, NMOS트랜지스터 N3의 공통 게이트 단자와 연결된다. 강유전체 캐패시터 FC2의 다른 일단은 셀 플레이트 라인 CPL과 연결되고, 강유전체 캐패시터 FC4의 다른 일단은 접지전압단과 연결된다.

- <144> 이러한 구성을 갖는 강유전체 캐패시터부(290)는 센스앰프 S/A의 비활성화시 데이터를 저장하고, 전원이 투입되어 센스앰프 S/A가 활성화되면 이전 상태의 데이터를 복구한다. 이외의 구성은 도 22와 동일하므로 그 상세한 설명은 생략하기로 한다.
- <145> 도 24는 도 22 및 도 23의 라이트 구동 스위칭부(270) 및 리드 구동 스위칭부(280)에 관한 상세 회로도이다.
- <146> 먼저, 라이트 구동 스위칭부(270)는 전원전압단과 접지전압단 사이에 직렬 연결된 PMOS 트랜지스터 P7, P8, NMOS트랜지스터 N5, N6를 구비한다. PMOS트랜지스터 P7는 게이트 단자에 라이트 구동 신호 WDP가 인가된다. PMOS트랜지스터 P8 및 NMOS트랜지스터 N5는 공통 게이트 단자가 데이터 버스부(400)에 연결된다. NMOS트랜지스터 N6는 게이트 단자에 라이트 구동 신호 WDN가 인가된다. 여기서, 라이트 구동 신호 WDP 및 라이트 구동 신호 WDN은 서로 반대의 위상을 갖는다.
- <147> 또한, 리드 구동 스위칭부(280)는 전원전압단과 접지전압단 사이에 직렬 연결된 PMOS트랜지스터 P9, P10, NMOS트랜지스터 N7, N8를 구비한다. PMOS트랜지스터 P9는 게이트 단자에 리드 구동 신호 RDP가 인가된다. PMOS트랜지스터 P10 및 NMOS트랜지스터 N7는 공통 게이트 단자가 노드 (G)에 연결되고, 공통 드레인 단자가 공통 데이터 버스 CDB에 연결된다. NMOS트랜지스터 N8는 게이트 단자에 리드 구동 신호 RDN가 인가된다. 여기서, 리드 구동 신호 RDP 및 리드 구동 신호 RDN는 서로 반대의 위상을 갖는다.
- <148> 도 25는 도 22 및 도 23의 센스앰프 S/A에 관련된 동작 타이밍도이다.

- <149>        먼저, 새로운 로오 어드레스가 입력되면 어드레스 천이 검출 신호 ATD가 인에이블 된다. 이에 따라, 플레이트 라인 PL 및 워드라인 WL이 인에이블 되어 셀 구동이 활성화된다. 그리고, 라이트 인에이블 신호 WEB의 비활성화에 따라 T2구간에서 데이터 "1"을 센싱한다.
- <150>        이후에, 페이지 어드레스  $Y<n:0>$ 에 의해 컬럼 선택 신호  $CS\_SW<n:0>$ 가 차례로 활성화된다. 그리고, 라이트 인에이블 신호 WEB의 인에이블시 플레이트 라인 PL 및 워드라인 WL이 활성화되어 t3구간에서 데이터 "0"을 라이트한다.
- <151>        도 26은 도 19의 실시예에 적용되는 센스앰프 S/A의 동작 타이밍도이다.
- <152>        먼저, 새로운 로오 어드레스가 입력되면 어드레스 천이 검출 신호 ATD가 인에이블 되고, 라이트 인에이블 신호 WEB가 디스에이블된다. 이에 따라, 플레이트 라인 PL 및 워드라인 WL이 인에이블 되어 셀 구동이 활성화된다. 이때, 플레이트 라인 PL은 T1의 구간동안 하이 상태를 유지한다. 그리고, 어드레스 천이 검출 신호 ATD에 따라 래치 제어신호 LAT\_CON가 하이로 인에이블 되면, 래치 제어부(42)에서 이전에 입력된 로오 어드레스를 래치한다.
- <153>        다음에, 라이트 인에이블 신호 WEB의 토글에 따라 라이트 인에이블 천이 검출 신호 WTD\_H(하이일 경우 활성화 되는 신호)가 인에이블된다. 그리고, 라이트 인에이블 천이 검출 신호 WTD\_H에 따라 라이트 제어신호 WCON가 활성화된다. 라이트 인에이블 천이 검출 신호 WTD\_H가 활성화 될 경우, 페이지 어드레스  $Y<n:0>$ 에 의해 컬럼 선택 신호  $CS\_SW<n:0>$ 가 차례로 활성화된다.
- <154>        이후에, tn구간에서 라이트 인에이블 신호 WEB의 인에이블되고, 라이트 인에이블 천이 검출 신호 WTD\_H의 디스에이블시 라이트 제어신호 WCON 및 플레이트 라인 PL이 디스에이블된다. 여기서, 라이트 제어신호 WCON는 래치 제어신호 LAT\_CON의 디스에이블 상태를 제어하기 위

한 신호로써, 라이트 제어신호 WCON의 디스에이블에 따라 래치 제어신호 LAT\_CON가 디스에이블된다. 플레이트 라인 PL이 디스에이블된 후, 일정시간이 지나면 워드라인 WL이 디스에이블된다.

<155> 도 27은 도 20의 실시예에 적용되는 센스앰프 S/A의 동작 타이밍도이다.

<156> 먼저, 새로운 로오 어드레스가 입력되면 어드레스 천이 검출 신호 ATD가 인에이블 되고, 라이트 인에이블 신호 WEB가 디스에이블된다. 이에 따라, 플레이트 라인 PL 및 워드라인 WL이 인에이블 되어 셀 구동이 활성화된다. 이때, 플레이트 라인 PL은 일정시간 인에이블된 이후에, 라이트 제어신호 WCON가 활성화되기 이전까지 디스에이블 상태를 유지한다. 그리고, 어드레스 천이 검출 신호 ATD에 따라 래치 제어신호 LAT\_CON가 하이로 인에이블 되고, 플레이트 라인 PL이 하이로 인에이블 되면, 래치 제어부(42)에서 이전에 입력된 로오 어드레스를 래치한다.

<157> 다음에, 라이트 인에이블 신호 WEB의 토글에 따라 라이트 인에이블 천이 검출 신호 WTD\_H(하이일 경우 활성화 되는 신호)가 인에이블된다. 그리고, 라이트 인에이블 천이 검출 신호 WTD\_H에 따라 라이트 제어신호 WCON가 활성화된다. 라이트 인에이블 천이 검출 신호 WTD\_H가 활성화 될 경우, 페이지 어드레스 Y<n:0>에 의해 컬럼 선택 신호 CS\_SW<n:0>가 차례로 활성화된다.

<158> 이후에, tn구간에서 라이트 인에이블 신호 WEB의 인에이블되고, 라이트 인에이블 천이 검출 신호 WTD\_H의 디스에이블시 라이트 제어신호 WCON, 플레이트 라인 PL 및 워드라인 WL이 디스에이블된다. 여기서, 라이트 제어신호 WCON는 래치 제어신호 LAT\_CON의 디스에이블 상태를 제어하기 위한 신호로써, 라이트 제어신호 WCON의 디스에이블에 따라 래치 제어신호 LAT\_CON가 디스에이블된다.

- <159> 도 28은 라이트 인에이블 신호 WEB의 활성화에 따른 라이트 인에이블 천이 검출 신호 WTD의 동작 타이밍도를 나타낸다.
- <160> 먼저, 리드 사이클 구간에서는 입력되는 로오 어드레스 RADD\_PAD가 일정하고, 라이트 인에이블 신호 WEB 및 센스앰프 인에이블 신호 SEN가 하이 상태를 유지하여 출력 데이터 DOUT가 출력된다.
- <161> 이후에, 라이트 사이클 구간에서는 입력되는 로오 어드레스 RADD\_PAD가 일정하고, 라이트 인에이블 신호 WEB가 로우로 천이한다. 이에 따라, 라이트 인에이블 천이 검출 신호 WTD가 발생한다. 그리고, 라이트 인에이블 천이 검출 신호 WTD에 의해 천이 합성 신호 ATD\_S가 인에이블 된다. 또한, 센스앰프 인에이블 신호 SEN가 로우로 디스에이블 되어 출력 데이터 DOUT가 더이상 출력되지 않는다.
- <162> 이후에, 천이 합성 신호 ATD\_S가 디스에이블 되면, 래치 제어신호 LAT\_CON가 하이로 인에이블 되고, 워드라인 WL, 플레이트 라인 PL 및 비트라인 BL이 하이로 인에이블 된다.
- <163> 다음에, 라이트 인에이블 신호 WEB가 토글되면, 라이트 인에이블 신호 WEB에 동기하여 컬럼 선택 신호 CS\_SW<0>, CS\_SW<1>,CS\_SW<2>가 순차적으로 인에이블 된다. 이후에, 센스앰프 인에이블 신호 SEN가 활성화된 상태에서 칩 제어신호 발생부(100)에 의해 해당 셀에 복수개의 입력 데이터 DIN가 순차적으로 라이트 되어 정상적인 라이트 동작을 수행할 수 있게 된다.
- <164> 여기서, 센스앰프는 이전 어드레스 사이클에서 입력된 데이터를 계속해서 저장하기 위해, 라이트 인에이블 천이 검출 신호 WTD가 발생하기 이전까지 계속해서 활성화 상태를 유지한다.



- <165> 도 29는 도 20의 블록 페이지 BP와 연결된 데이터 버스 버퍼부(500)의 구성도이다.
- <166> 데이터 버스 버퍼부(500)는 복수개의 데이터 버스 버퍼<0:n>를 구비하고, 복수개의 데이터 버스 버퍼 <0:n>는 이와 대응되는 데이터 버스부(400)와 연결된다. 따라서, 복수개의 컬럼 페이지 CP로부터 출력된 데이터들은 데이터 버스 버퍼부(500)를 통해 버퍼링되어 데이터 입출력 버퍼부(600)에 출력된다. 또한, 데이터 입출력 버퍼부(600)로부터 입력된 데이터들은 데이터 버스 버퍼부(500)를 통해 버퍼링되어 블록 페이지 BP에 출력된다.
- <167> 도 30은 도 20의 셀 어레이에 관한 상세 회로도이다.
- <168> 셀 어레이는 서브 셀 어레이(700) 및 메인비트라인 로드 제어부(710)를 구비한다.
- <169> 여기서, 서브 셀 어레이(700)의 각각의 메인비트라인 MBL은 복수개의 서브 비트라인 SBL 중에서 하나의 서브 비트라인 SBL과 선택적으로 연결된다. 그리고, 메인비트라인 MBL은 칩선택부와 연결된다. 즉, 서브 비트라인 선택 신호 SBSW1의 활성화시 NMOS트랜지스터 N13가 턴온되어 하나의 서브 비트라인 SBL을 활성화시킨다. 또한, 하나의 서브 비트라인 SBL에는 복수개의 셀 C이 연결된다.
- <170> 서브 비트라인 SBL은 서브 비트라인 풀다운 신호 SBPD의 활성화시 NMOS트랜지스터 N11의 턴온에 따라 그라운드 레벨로 풀다운된다. 그리고, 서브 비트라인 풀업 신호 SBPU는 서브 비트라인 SBL에 공급되는 전원을 제어하기 위한 신호이다. 즉, 저전압에서는 전원전압 VCC 보다 높은 전압을 생성하여 서브 비트라인 SBL에 공급한다.
- <171> 그리고, 서브 비트라인 선택 신호 SBSW2는 NMOS트랜지스터 N12의 스위칭에 따라 서브 비트라인 풀업 신호 SBPU 인가단과 서브 비트라인 SBL 사이의 연결을 제어한다.

- <172> 또한, NMOS트랜지스터 N10는 NMOS트랜지스터 N9와 메인비트라인 MBL 사이에 연결되고, 게이트 단자가 서브 비트라인 SBL과 연결된다. NMOS트랜지스터 N9는 접지전압단과 NMOS트랜지스터 N10 사이에 연결되고, 게이트를 통해 메인비트라인 풀다운 신호 MBPD가 인가되어 메인비트라인 MBL의 센싱전압을 조정한다.
- <173> 그리고, 메인비트라인 로드 제어부(710)는 펌핑전압 VPP(또는 전원전압 VCC) 인가단과 메인비트라인 MBL 사이에 연결되어 게이트 단자에 메인비트라인 제어신호 MBLC가 인가되는 PMOS트랜지스터 P11을 구비한다. PMOS트랜지스터 P11는 메인비트라인 제어신호 MBLC의 상태에 따라 센싱시 메인비트라인 MBL의 로드 역할을 수행한다.
- <174> 한편, 도 31은 본 발명에 따른 불휘발성 강유전체 메모리의 라이트 모드시 동작 타이밍도를 나타낸다.
- <175> 먼저, t1구간의 진입시 칩 선택신호 CSB 및 라이트 인에이블 신호 WEB가 로우로 디스에이블 되면, 라이트 모드 액티브 상태가 된다. 이에 따라, 라이트 구동 스위칭부(270)가 인에이블 되고, 센스앰프 인에이블 신호 SEN 및 이퀄라이징 신호 SEQ가 디스에이블 된다.
- <176> 이후에, t2구간의 진입시 워드라인 WL이 인에이블 되고, 서브 비트라인 풀다운 신호 SBPD가 로우로 디스에이블 되어 셀의 저장 노드가 그라운드 레벨로 초기화된다. 그리고, 공통 데이터 버스 풀업 신호 CDBPU 및 센스앰프 인에이블 신호 SEP가 인에이블 된다. 이때, t2구간에서 워드라인 WL은 플레이트 라인 PL보다 먼저 활성화된다. 따라서, 초기 동작시 셀의 저장 노드의 상태를 안정시킴으로써 센싱 마진을 향상시킬 수 있도록 한다.
- <177> 다음에, 데이터 센싱 구간인 t3 구간의 진입시 플레이트 라인 PL이 펌핑전압 VPP 레벨로 인에이블 되고, 메인비트라인 MBL에 셀 데이터가 인가된다. 그리고, 서브 비트라인 풀다운

신호 SBPD가 디스에이블되고, 기준전압 선택신호 REF\_SW 및 공통 데이터 버스 선택신호 CDB\_SW가 인에이블 된다. 이때, 이퀄라이징 신호 SEQ가 하이로 인에이블 되어 이퀄라이징부(220)를 비활성화시킴으로써 센스앰프 S/A를 활성화시킨다.

<178> t4 구간의 진입시 센스앰프 인에이블 신호 SEP, 기준전압 선택신호 REF\_SW 및 공통 데이터 버스 선택신호 CDB\_SW가 디스에이블된다. 그리고, 센스앰프 인에이블 신호 SEN가 인에이블 되어 센스앰프 S/A가 활성화된다.

<179> 이후에, t5구간의 진입시 플레이트 라인 PL이 디스에이블 되고, 서브 비트라인 선택신호 SBSW2가 펌핑전압 VPP 레벨로 인에이블 된다. 그리고, 서브 비트라인 풀다운 신호 SBPD가 하이로 인에이블 되어 서브 비트라인 SBL의 전압 레벨이 그라운드 레벨이 된다. 또한, 메인비트라인 MBL 및 컬럼 선택 신호 CS\_SW가 인에이블되고, 공통 데이터 버스 풀업신호 CDBPU가 디스에이블된다.

<180> 다음에, t6 구간의 진입시 워드라인 WL의 전압 레벨이 상승되어, 셀 데이터 "하이"를 라이트하게 된다. 그리고, 서브 비트라인 풀업신호 SBPU가 하이로 인에이블 되고, 서브 비트라인 선택신호 SBSW2의 전압 레벨이 상승하여 서브 비트라인 SBL의 전압 레벨이 펌핑전압 VPP 레벨로 상승한다. 또한, 서브 비트라인 풀다운 신호 SBPD가 로우로 디스에이블 된다.

<181> 이후에, t7 구간의 진입시 라이트 인에이블 신호 WEB 및 플레이트 라인 PL이 인에이블 되면 데이터 유효구간 동안 셀 데이터 "0"을 재저장한다. 이때, 메인비트라인 MBL의 전압 레벨이 로우로 디스에이블 된다. 그리고, 서브 비트라인 선택신호 SBSW1의 전압 레벨이 펌핑전압 VPP 레벨로 상승하고, 서브 비트라인 선택신호 SBSW2가 로우로 디스에이블 되어 메인비트라인 MBL의 데이터가 서브 비트라인 SBL에 출력된다. 이때, 리드 구동 스위칭부(280) 및 공통

데이터 버스 풀업 신호 CDBPU는 인에이블 되고, 라이트 구동 스위칭부(270)는 디스에이블된다.

<182> 여기서, 셀의 데이터가 "하이"일 경우, 센싱시 서브 비트라인 SBL의 전압이 높은 레벨이 된다. 따라서, 셀 C의 스위칭 트랜지스터의 전류가 커지게 되어 셀 데이터 "로우"에서 유겨된 메인비트라인 MBL의 전압 레벨이 낮아진다.

<183> 반대로, 셀의 데이터가 "로우"일 경우, 리드시 서브 비트라인 SBL의 전압이 낮은 레벨이 된다. 따라서, 셀 C의 스위칭 트랜지스터의 전류가 작아지게 되어 셀 데이터 "하이"에서 유겨된 메인비트라인 MBL의 전압 레벨이 높아진다.

<184> 다음에, t8구간의 진입시 워드라인 WL이 플레이트 라인 PL 보다 먼저 디스에이블 된다.

<185> 이어서, t9구간의 진입시 플레이트 라인 PL, 서브 비트라인 선택신호 SBSW1, 서브 비트라인 풀업신호 SBPU 및 리드 구동 스위칭부(280)가 로우로 디스에이블 된다. 그리고, 서브 비트라인 풀다운 신호 SBPD 및 메인 비트라인 MBL이 하이로 인에이블 된다.

<186> 도 32는 본 발명에 따른 불휘발성 강유전체 메모리의 리드 모드시 동작 타이밍도를 나타낸다.

<187> 먼저, 리드 모드시에는 라이트 인에이블 신호 WEB가 전원전압 레벨을 유지한다.

그리고, 라이트 구동 스위칭부(280)가 로우 상태를 유지한다. t2구간의 진입시 공통 데이터 버스 풀업 신호 CDBPU가 계속해서 하이 상태를 유지한다. 이후에, t5구간의 진입시 리드 구동 스위칭부(280)가 활성화되어, t9구간에 진입하기 이전까지 활성화 상태를 유지한다. 그리고, t6 구간 이후에 데이터 출력 유효 구간을 계속해서 유지한다.

- <188> 한편, 도 33은 본 발명의 반복 쓰기 횟수를 나타내는 도면이다.
- <189> 도 30에서 보는 바와 같이, 종래 기술의 경우 매 사이클의 진행시마다 셀 액세스 동작을 수행하게 된다. 따라서, 메모리 셀의 파괴동작에 의해 리드/라이트 동작을 수행하기 위한 반복 쓰기 스트레스가 가해지게 된다.
- <190> 통상적인 강유전체 캐패시터는 반복 쓰기의 횟수가 누적되면 저장 전하 능력이 감소하게 된다. 따라서, 일정 횟수( $10E12$ ) 이상의 반복 쓰기 동작이 누적될 경우 저장 전하 용량이 계속해서 감소하여 열화 현상이 발생하게 된다.
- <191> 이에 반하여, 본 발명은 별도의 페이지 버퍼 영역이 존재하여 페이지 버퍼 액세스시에는 셀 액세스 동작을 수행하지 않고 페이지 버퍼에서 바로 데이터 액세스가 가능하도록 한다. 따라서, 페이지 내의 액세스시에는 셀이 구동되지 않기 때문에 셀 액세스시의 누적 반복 쓰기 횟수가 감소하게 된다.
- <192> 결국, 도 33에서 보는 바와 같이, 페이지 버퍼의 사이즈가 1000개의 페이지 어드레스로 구성될 경우, 칩의 재기록 사이클 횟수는 1000배 감소함으로써 종래 기술에 비해 반복 쓰기의 횟수( $10E15$ )를 확장할 수 있게 된다.
- <193> 도 34는 본 발명의 전력 소비를 나타내는 도면이다.
- <194> 도 34에서 보는 바와 같이, 종래기술의 셀 액세스시에는 어드레스 천이 검출 신호 ATD에 따라 워드라인 WL 및 플레이트 라인 PL 등의 칩 구동과 관련된 모든 회로가 동작을 수행하기 때문에 많은 전력이 소모된다.
- <195> 이에 반하여, 본 발명의 페이지 버퍼 액세스시에는 일부 페이지 어드레스와 관련된 디코더 및 데이터 입/출력 버퍼만 동작하게 되어 전력 소모가 종래기술에 비해 감소된다.

**【발명의 효과】**

<196>       이상에서 설명한 바와 같이, 본 발명은 다음과 같은 효과를 제공한다.

<197>       첫째, 페이지 버퍼의 액세스시 셀 액세스 동작을 수행하지 않고 페이지 버퍼에 저장된 데이터를 바로 출력함으로써 칩 동작에 의한 전력 소모를 최소화하고 셀의 신뢰성을 향상시킬 수 있도록 한다.

<198>       둘째, 어드레스 어사인 구조를 로오 어드레스 영역과 페이지 어드레스 영역으로 재배치하여 셀 동작 횟수를 줄임으로써 칩 구동과 관련된 전력 소모를 최소화할 수 있도록 한다. 이에 따라, 모바일 제품에 적용될 경우 배터리 수명을 연장시킨다.

**【특허청구범위】****【청구항 1】**

블럭 페이지 어드레스 영역과 컬럼 페이지 어드레스 영역으로 구분된 페이지 어드레스를 칩 인에이블 신호에 따라 래치하여 디코딩하는 페이지 어드레스 버퍼;

상기 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력하는 로오 어드레스 래치부;

상기 래치된 로오 어드레스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부; 및

상기 어드레스 천이 검출신호에 따라 칩 동작을 제어하는 제어신호를 선택적으로 발생하는 칩 제어신호 발생부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

**【청구항 2】**

제 1항에 있어서, 상기 페이지 어드레스 버퍼는

상기 칩 인에이블 신호에 따라 상기 페이지 어드레스를 래치하여 래치된 페이지 어드레스를 출력하는 페이지 어드레스 래치부;

상기 래치된 페이지 어드레스를 디코딩하는 페이지 디코더를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

**【청구항 3】**

제 1항에 있어서,

상기 로오 어드레스는 최상위 비트 영역에 배치되고, 상기 페이지 어드레스 중 컬럼 페이지 어드레스는 최하위 비트 영역에 배치되며, 상기 페이지 어드레스 중 블럭 페이지 어드레

스는 상기 로오 어드레스 및 상기 컬럼 페이지 어드레스 사이의 영역에 배치됨을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 4】

블럭 페이지 어드레스 영역과 컬럼 페이지 어드레스 영역으로 구분된 페이지 어드레스를 칩 인에이블 신호에 따라 래치하여 디코딩하는 페이지 어드레스 버퍼;

상기 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력하는 로오 어드레스 래치부;

상기 래치된 로오 어드레스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부;

상기 칩 인에이블 신호에 따라 리셋신호의 천이 여부를 검출하여 리셋 천이 검출 신호를 출력하는 리셋신호 천이 검출부;

상기 칩 인에이블 신호에 따라 라이트 인에이블 신호의 천이 여부를 검출하여 라이트 인에이블 천이 검출 신호를 출력하는 라이트 인에이블 신호 천이 검출부;

상기 어드레스 천이 검출신호, 상기 리셋 천이 검출 신호 및 상기 라이트 인에이블 천이 검출 신호에 따라 천이 합성 신호를 출력하는 합성부; 및

상기 천이 합성 신호에 따라 칩 동작을 제어하는 제어신호를 선택적으로 발생하는 칩 제어신호 발생부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 5】

제 4항에 있어서,



상기 로오 어드레스는 최상위 비트 영역에 배치되고, 상기 페이지 어드레스 중 컬럼 페이지 어드레스는 최하위 비트 영역에 배치되며, 상기 페이지 어드레스 중 블록 페이지 어드레스는 상기 로오 어드레스 및 상기 컬럼 페이지 어드레스 사이의 영역에 배치됨을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 6】

제 4항에 있어서, 상기 페이지 어드레스 버퍼는

상기 칩 인에이블 신호에 따라 페이지 어드레스를 래치하여 래치된 페이지 어드레스를 출력하는 페이지 어드레스 래치부;

상기 래치된 페이지 어드레스를 디코딩하는 페이지 디코더를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 7】

제 6항에 있어서, 상기 페이지 어드레스 래치부는

상기 칩 인에이블 신호의 상태에 따라 상기 페이지 어드레스를 래치하여 선택적으로 출력하는 페이지 어드레스 제어부; 및

상기 페이지 어드레스 제어부의 출력을 지연하여 상기 래치된 페이지 어드레스를 출력하는 제 1출력수단을 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 8】

제 7항에 있어서, 상기 페이지 어드레스 제어부는



상기 칩 인에이블 신호의 비활성화시 상기 페이지 어드레스를 반전하여 출력하고, 상기 칩 인에이블 신호의 활성화시 상기 페이지 어드레스를 래치함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 9】

제 4항에 있어서, 상기 로오 어드레스 래치부는

상기 칩 인에이블 신호의 상태에 따라 상기 로오 어드레스를 래치하여 선택적으로 출력하는 로오 어드레스 제어부;

래치 제어신호의 상태에 따라 상기 로오 어드레스 제어부의 출력을 래치하여 선택적으로 출력하는 래치 제어부; 및

상기 래치 제어부의 출력을 지연하여 상기 래치된 로오 어드레스를 출력하는 제 2출력수단을 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 10】

제 9항에 있어서, 상기 로오 어드레스 제어부는

상기 칩 인에이블 신호의 비활성화시 상기 로오 어드레스를 반전하여 출력하고, 상기 칩 인에이블 신호의 활성화시 상기 로오 어드레스를 래치함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 11】

제 9항에 있어서, 상기 래치 제어부는

메모리 셀의 구동시 인에이블 되는 상기 래치 제어신호의 비활성화시 상기 로오 어드레스 제어부의 출력을 반전하여 출력하고, 상기 래치 제어신호의 활성화시 상기 로오 어드레스 제어부의 출력을 래치함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 12】

제 4항에 있어서, 상기 리셋신호 천이 검출부는

메모리 셀의 동작 초기에 상기 칩 인에이블 신호가 디스에이블된 상태에서 상기 리셋신호가 로우로 천이하기 이전까지 하이 전압 레벨을 래치하는 리셋신호 감지부; 및

상기 하이 전압 레벨에 따라 일정 지연시간 만큼의 펄스폭을 갖는 상기 리셋 천이 검출신호를 발생하는 펄스 발생부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 13】

제 12항에 있어서, 리셋신호 감지부는

상기 칩 인에이블 신호가 상기 리셋신호보다 일정시간 만큼 늦게 로우로 디스에이블 되는 경우, 상기 리셋 천이 검출 신호는 상기 칩 인에이블 신호의 디스에이블 시점에서 발생됨을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

#### 【청구항 14】

제 12항에 있어서, 상기 리셋신호 감지부는

상기 리셋신호 및 상기 칩 인에이블 신호의 천이를 감지하는 입력 제어부;

상기 입력 제어부의 출력에 따라 구동되어 전원전압 또는 접지전압을 선택적으로 출력하는 구동부; 및

상기 구동부의 출력을 일정시간 래치하는 래치부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 15】

제 14항에 있어서, 상기 입력 제어부는

상기 리셋신호를 반전하는 제 1출력수단; 및

상기 리셋신호 및 상기 칩 인에이블 신호를 노아연산하는 노아게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 16】

제 15항에 있어서, 상기 구동부는

전원전압단과 접지전압단 사이에 직렬 연결된 제 1PMOS트랜지스터 및 제 1NMOS트랜지스터를 구비하고,

상기 제 1PMOS트랜지스터는 게이트 단자에 상기 제 1출력수단의 출력신호가 인가되고, 상기 제 1NMOS트랜지스터는 게이트 단자에 상기 노아게이트의 출력신호가 인가됨을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 17】

제 12항에 있어서, 상기 펄스 발생부는

상기 리셋신호 감지부의 출력을 일정시간 지연하는 지연부; 및

상기 리셋신호 감지부의 출력과 상기 지연부의 출력을 논리연산하여 상기 리셋 천이 검출 신호를 발생하는 논리부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

## 【청구항 18】

복수개의 단위 블록을 구비하고,

상기 복수개의 단위 블록 각각은, 복수개의 셀 어레이, 복수개의 로오 디코더 및 복수개의 컬럼 페이지를 구비하되, 하나의 단위 블록 내에 구비된 상기 복수개의 컬럼 페이지는 하나의 단위 블록 페이지를 구성하여 동시에 활성화됨을 특징으로 하는 불휘발성 강유전체 메모리.

## 【청구항 19】

제 18항에 있어서, 상기 복수개의 컬럼 페이지 각각은

센스앰프 인에이블 신호에 의해 활성화 여부가 제어되고 복수개의 비트라인과 일대일 대응하여 연결되는 복수개의 센스앰프를 구비하는 센스앰프 버퍼부;

상기 복수개의 센스앰프와 일대일 대응되어 연결되는 복수개의 컬럼 선택 스위치를 구비하는 컬럼 선택부; 및

상기 복수개의 컬럼 선택 스위치와 연결되어 컬럼 선택 신호의 입출력을 제어하는 데이터 버스부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

## 【청구항 20】

제 19항에 있어서, 상기 복수개의 센스앰프 각각은

상기 센스앰프 인에이블 신호의 활성화시 센스앰프를 구동하기 위한 전원을 공급하는 활성화 조정 스위치;

상기 활성화 조정 스위치의 활성화시 상기 센스앰프의 양단 노드를 증폭하는 래치 증폭부; 및

이퀄라이징 신호의 활성화시 상기 센스앰프의 양단 노드를 초기화시키는 이퀄라이징부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 21】

제 20항에 있어서, 상기 복수개의 센스앰프 각각은

메인비트라인 풀업 신호의 활성화시 메인 비트라인을 풀업시키는 풀업 구동부;

상기 센스앰프의 제 1노드와 상기 메인 비트라인을 선택적으로 연결하기 위한 비트라인 선택 신호를 제어하는 비트라인 스위칭부;

상기 센스앰프의 제 2노드에 기준전압을 선택적으로 공급하기 위한 기준전압 선택신호를 제어하는 기준전압 제어부;

상기 센스앰프의 양단 노드와 상기 데이터 버스부를 선택적으로 연결하기 위한 컬럼 선택 신호를 제어하는 컬럼 선택 스위치;

상기 데이터 버스부로부터 인가되는 라이트 데이터를 구동하여 상기 컬럼 선택 스위치에 출력하는 라이트 구동 스위칭부; 및

상기 컬럼 선택 스위치로부터 인가되는 리드 데이터를 구동하여 상기 메인 비트라인에 출력하는 리드 구동 스위칭부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 22】

제 21항에 있어서, 상기 컬럼 선택 스위치는

라이트 인에이블 신호의 토글시 발생하는 라이트 인에이블 천이 검출 신호에 동기하여 선택적으로 스위칭됨을 특징으로 하는 불휘발성 강유전체 메모리.

**【청구항 23】**

제 20항 또는 제 21항에 있어서, 상기 복수개의 센스앰프 각각은

상기 센스앰프의 비활성화 데이터를 저장하고, 상기 센스앰프의 활성화시 이전 데이터를 복구하는 강유전체 캐패시터부를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

**【청구항 24】**

제 23항에 있어서, 상기 강유전체 캐패시터부는

상기 래치 증폭부와 셀플레이트 라인 사이에 연결된 제 1 및 제 2강유전체 캐패시터;

및

상기 래치 증폭부와 접지전압단 사이에 연결된 제 3 및 제 4강유전체 캐패시터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

**【청구항 25】**

제 21항에 있어서, 상기 라이트 구동 스위칭부는

전원전압단과 접지전압단 사이에 직렬 연결된 제 1, 제 2PMOS트랜지스터 및 제 1, 제 2NMOS트랜지스터를 구비하고,

상기 제 1PMOS트랜지스터는 게이트 단자에 라이트 구동 신호가 인가되고, 상기 제 2PMOS 트랜지스터 및 상기 제 1NMOS트랜지스터는 공통 게이트 단자가 상기 데이터 버스부에 연결되며, 상기 제 2NMOS트랜지스터는 게이트 단자에 반전된 상기 라이트 구동신호가 인가됨을 특징으로 하는 불휘발성 강유전체 메모리.

**【청구항 26】**

제 21항에 있어서, 상기 리드 구동 스위칭부는

전원전압단과 접지전압단 사이에 직렬 연결된 제 3, 제 4PMOS트랜지스터 및 제 3, 제 4NMOS트랜지스터를 구비하고,

상기 제 3PMOS트랜지스터는 게이트 단자에 리드 구동 신호가 인가되고, 상기 제 4PMOS트랜지스터 및 상기 제 3NMOS트랜지스터는 공통 게이트 단자가 라이트 구동 스위칭부의 출력단에 연결되며, 상기 제 4NMOS트랜지스터는 게이트 단자에 반전된 상기 리드 구동신호가 인가됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 27】

제 18항에 있어서, 상기 복수개의 컬럼 페이지의 데이터 액세스시 로오 어드레스 및 리셋신호의 천이 검출이 발생되지 않을 경우 센스앰프가 활성화 상태를 유지하여 상기 센스앰프에 저장된 데이터가 바로 액세스됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 28】

제 18항에 있어서, 상기 하나의 단위 블록 페이지는

상기 복수개의 컬럼 페이지로부터 출력되는 데이터를 버퍼링하는 복수개의 데이터 버스 버퍼를 구비하는 데이터 버스 버퍼부; 및

상기 데이터 버스 버퍼부의 출력데이터나 입력 데이터를 버퍼링하는 데이터 입출력 버퍼부를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 29】

복수개의 셀 어레이를 구비하는 복수개의 단위 블록;

상기 복수개의 단위 블록과 상호 입출력 데이터를 교환하기 위한 공통 데이터 버스부;

복수개의 컬럼 페이지를 구비하는 하나의 단위 블록 페이지;



상기 하나의 단위 블록 페이지와 상호 입출력 데이터를 교환하기 위한 데이터 버스부를 구비하고,

상기 하나의 단위 블록 페이지 내에 구비된 상기 복수개의 컬럼 페이지는 동시에 활성화됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 30】

제 29항에 있어서, 상기 복수개의 단위 블록 각각은

상기 복수개의 셀 어레이, 하나의 메인 로오 디코더, 복수개의 서브 로오 디코더 및 복수개의 칩선택부를 구비하되, 상기 복수개의 서브 로오 디코더는 상기 하나의 메인 로오 디코더에 의해 제어됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 31】

제 29항 또는 제 30항에 있어서, 상기 복수개의 컬럼 페이지 각각은

센스앰프 인에이블 신호에 의해 활성화 여부가 제어되고 복수개의 공통 데이터 버스와 일대일 대응하여 연결되는 복수개의 센스앰프를 구비하는 센스앰프 버퍼부; 및

상기 복수개의 센스앰프와 일대일 대응되어 연결되고, 상기 데이터 버스부에 컬럼 선택 신호를 출력하는 복수개의 컬럼 선택 스위치를 구비하는 컬럼 선택부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 32】

제 31항에 있어서, 상기 복수개의 센스앰프 각각은

상기 센스앰프 인에이블 신호의 활성화시 센스앰프를 구동하기 위한 전원을 공급하는 활성화 조정 스위치;



상기 활성화 조정 스위치의 활성화시 상기 센스앰프의 양단 노드를 증폭하는 래치 증폭부; 및

이퀄라이징 신호의 활성화시 상기 센스앰프의 양단 노드를 초기화시키는 이퀄라이징부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

### 【청구항 33】

제 32항에 있어서, 상기 복수개의 센스앰프 각각은

공통 데이터 버스 풀업 신호의 활성화시 공통 데이터를 풀업시키는 풀업 구동부;

상기 센스앰프의 제 1노드와 상기 공통 데이터를 선택적으로 연결하기 위한 공통 데이터 버스 선택 신호를 제어하는 공통 데이터 버스 스위칭부;

상기 센스앰프의 제 2노드에 기준전압을 선택적으로 공급하기 위한 기준전압 선택신호를 제어하는 기준전압 제어부;

상기 센스앰프의 양단 노드와 상기 데이터 버스부를 선택적으로 연결하기 위한 컬럼 선택 신호를 제어하는 컬럼 선택 스위치;

상기 데이터 버스부로부터 인가되는 라이트 데이터를 구동하여 상기 컬럼 선택 스위치에 출력하는 라이트 구동 스위칭부; 및

상기 컬럼 선택 스위치로부터 인가되는 리드 데이터를 구동하여 상기 공통 데이터 버스에 출력하는 리드 구동 스위칭부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

## 【청구항 34】

제 32항 또는 제 33항에 있어서, 상기 복수개의 센스앰프 각각은

상기 센스앰프의 비활성화 데이터를 저장하고, 상기 센스앰프의 활성화시 이전 데이터를 복구하는 강유전체 캐패시터부를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

## 【청구항 35】

제 34항에 있어서, 상기 강유전체 캐패시터부는

상기 래치 증폭부와 셀플레이트 라인 사이에 연결된 제 1 및 제 2강유전체 캐패시터;

및

상기 래치 증폭부와 접지전압단 사이에 연결된 제 3 및 제 4강유전체 캐패시터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

## 【청구항 36】

제 33항에 있어서, 상기 라이트 구동 스위칭부는

전원전압단과 접지전압단 사이에 직렬 연결된 제 1, 제 2PMOS트랜지스터 및 제 1, 제 2NMOS트랜지스터를 구비하고,

상기 제 1PMOS트랜지스터는 게이트 단자에 라이트 구동 신호가 인가되고, 상기 제 2PMOS 트랜지스터 및 상기 제 1NMOS트랜지스터는 공통 게이트 단자가 상기 데이터 버스부에 연결되며, 상기 제 2NMOS트랜지스터는 게이트 단자에 반전된 상기 라이트 구동신호가 인가됨을 특징으로 하는 불휘발성 강유전체 메모리.

## 【청구항 37】

제 33항에 있어서, 상기 리드 구동 스위칭부는

전원전압단과 접지전압단 사이에 직렬 연결된 제 3, 제 4PMOS트랜지스터 및 제 3, 제 4NMOS트랜지스터를 구비하고,

상기 제 3PMOS트랜지스터는 게이트 단자에 리드 구동 신호가 인가되고, 상기 제 4PMOS트랜지스터 및 상기 제 3NMOS트랜지스터는 공통 게이트 단자가 라이트 구동 스위칭부의 출력단에 연결되며, 상기 제 4NMOS트랜지스터는 게이트 단자에 반전된 상기 리드 구동신호가 인가됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 38】

제 29항에 있어서, 상기 복수개의 컬럼 페이지의 데이터 액세스시 로오 어드레스 및 리셋신호의 천이 검출이 발생되지 않을 경우 센스앰프가 활성화 상태를 유지하여 상기 하나의 상위 블록 페이지에 저장된 데이터가 바로 액세스됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 39】

제 29항에 있어서,

상기 데이터 버스부와 연결되어 상기 복수개의 컬럼 페이지로부터 출력되는 데이터를 버퍼링하는 복수개의 데이터 버스 버퍼를 구비하는 데이터 버스 버퍼부; 및

상기 데이터 버스 버퍼부의 출력데이터 및 입력 데이터를 버퍼링하는 데이터 입출력 버퍼부를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 40】

칩 인에이블 신호에 따라 페이지 어드레스를 래치하는 페이지 어드레스 래치부;

상기 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력하는 로오 어드레스 래치부;

상기 래치된 로오 어드레스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부;

상기 어드레스 천이 검출신호에 따라 칩 동작을 제어하는 제어신호를 선택적으로 발생 하는 칩 제어신호 발생부; 및

복수개의 단위 블록을 구비하고, 상기 복수개의 단위 블록 각각은, 복수개의 셀 어레이, 복수개의 로오 디코더 및 복수개의 컬럼 페이지를 구비하되, 하나의 단위 블록 내에 구비된 상기 복수개의 컬럼 페이지는 하나의 단위 블록 페이지를 구성하여 동시에 활성화됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 41】

제 40항에 있어서, 상기 페이지 어드레스는

블록 페이지 어드레스 영역과 컬럼 페이지 어드레스 영역으로 구분됨을 특징으로 하는 불휘발성 강유전체 메모리.

#### 【청구항 42】

칩 인에이블 신호에 따라 페이지 어드레스를 래치하는 페이지 어드레스 래치부;

상기 칩 인에이블 신호에 따라 로오 어드레스를 래치하여 래치된 로오 어드레스를 출력 하는 로오 어드레스 래치부;

상기 래치된 로오 어드레스의 천이 여부를 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부;

상기 어드레스 천이 검출신호에 따라 칩 동작을 제어하는 제어신호를 선택적으로 발생 하는 칩 제어신호 발생부;

복수개의 셀 어레이를 구비하는 복수개의 단위 블록;

상기 복수개의 단위 블록과 상호 입출력 데이터를 교환하기 위한 공통 데이터 버스부;

복수개의 컬럼 페이지를 구비하는 하나의 단위 블록 페이지; 및

상기 하나의 단위 블록 페이지와 상호 입출력 데이터를 교환하기 위한 데이터 버스부를  
구비하고,

상기 하나의 단위 블록 페이지 내에 구비된 상기 복수개의 컬럼 페이지는 동시에 활성화  
됨을 특징으로 하는 불휘발성 강유전체 메모리.

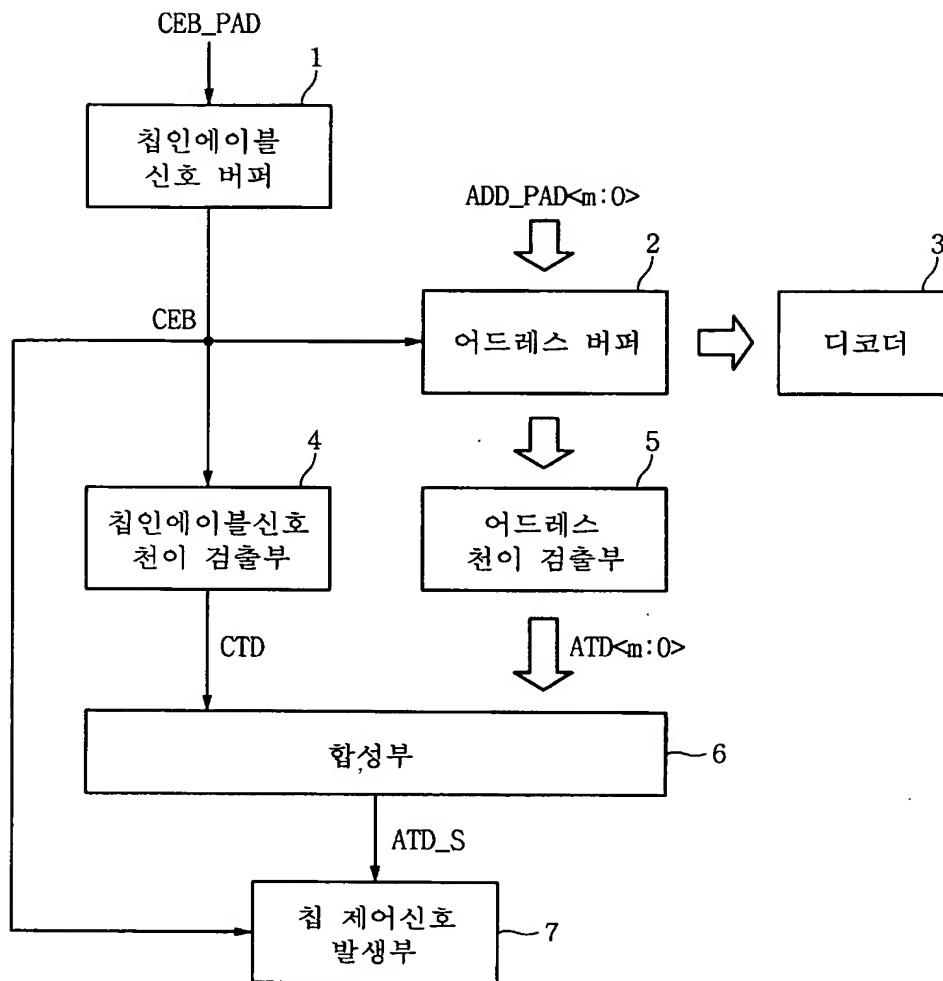
**【청구항 43】**

제 42항에 있어서, 상기 페이지 어드레스는

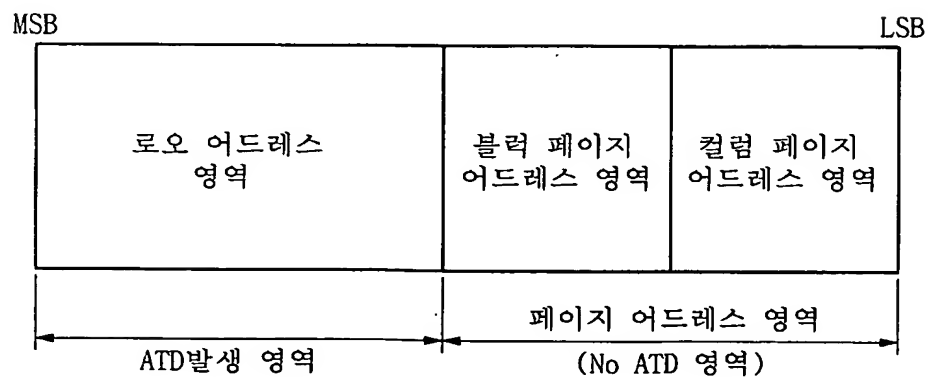
블록 페이지 어드레스 영역과 컬럼 페이지 어드레스 영역으로 구분됨을 특징으로 하는  
불휘발성 강유전체 메모리.

【도면】

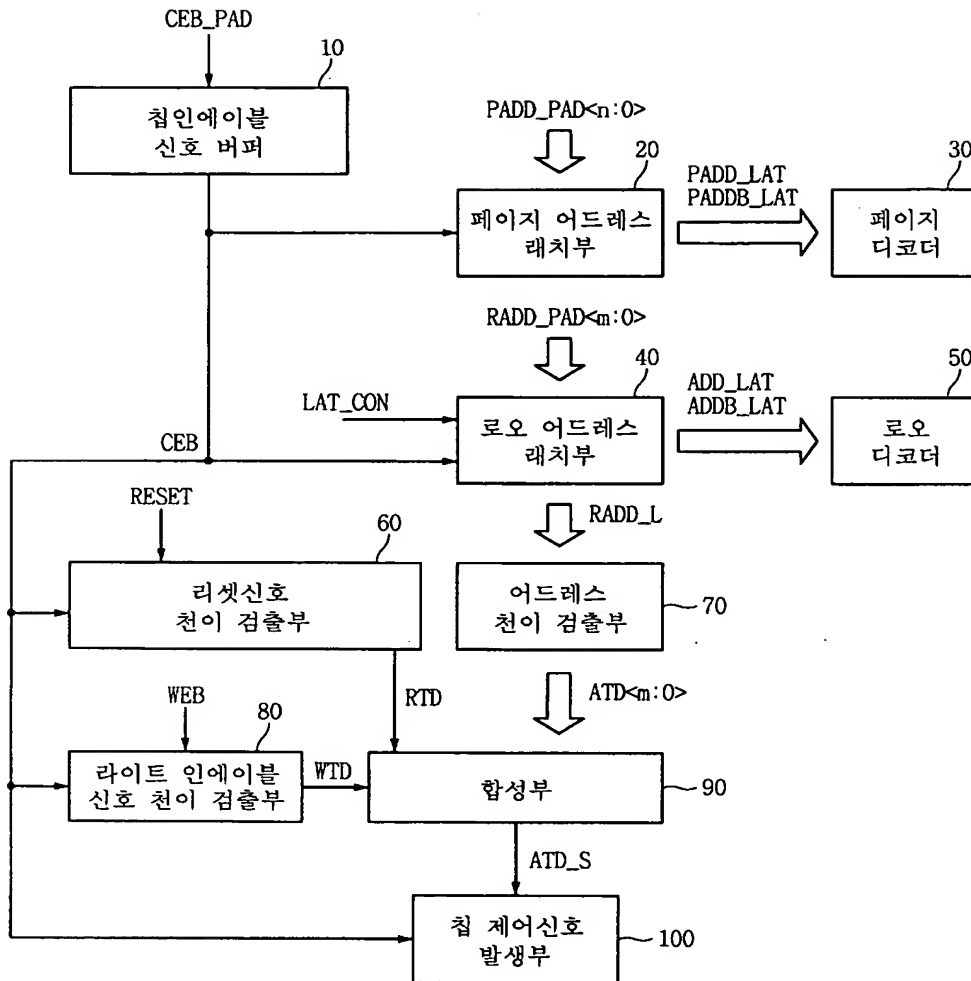
【도 1】



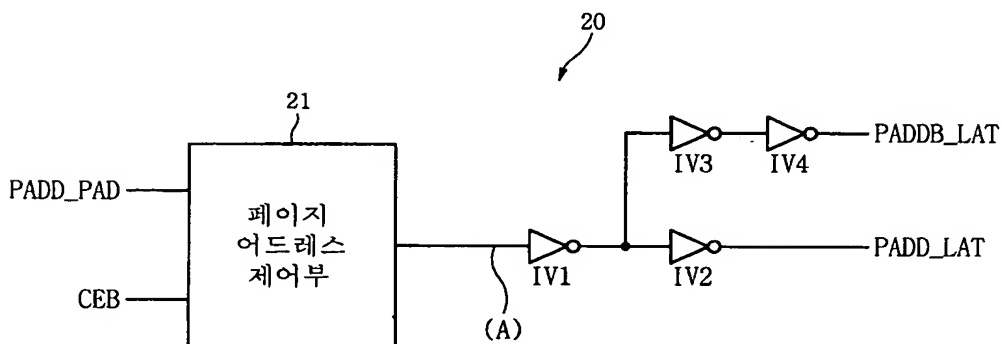
【도 2】



【도 3】

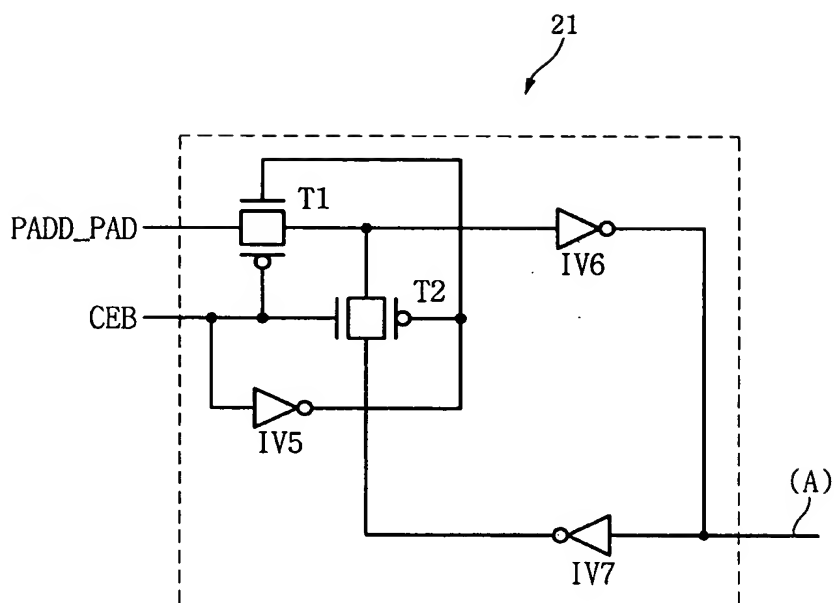


【도 4】

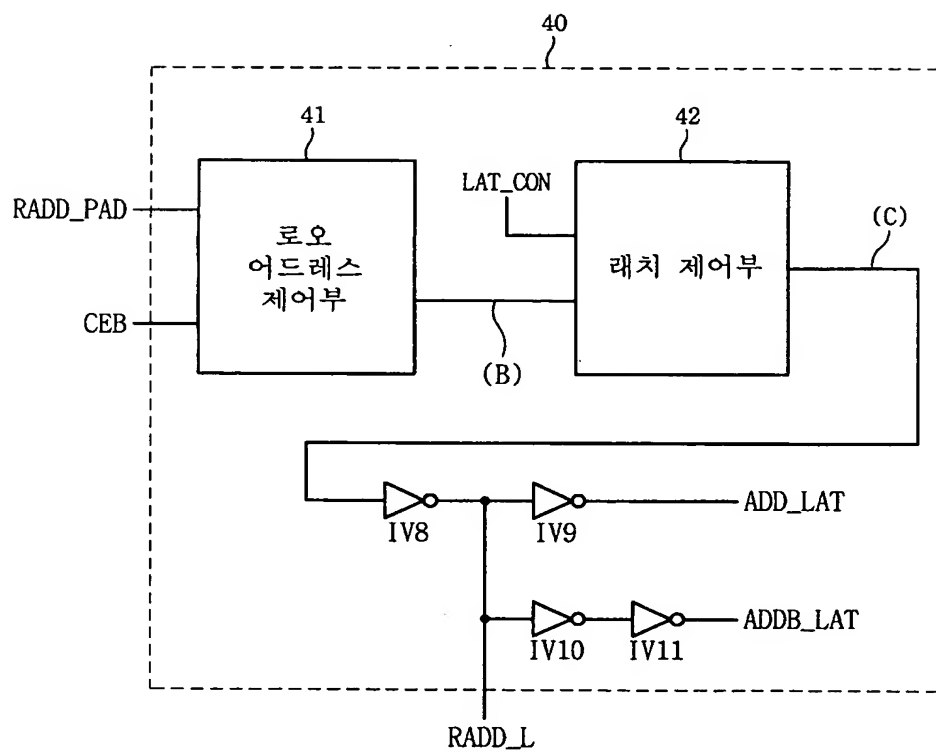




【도 5】

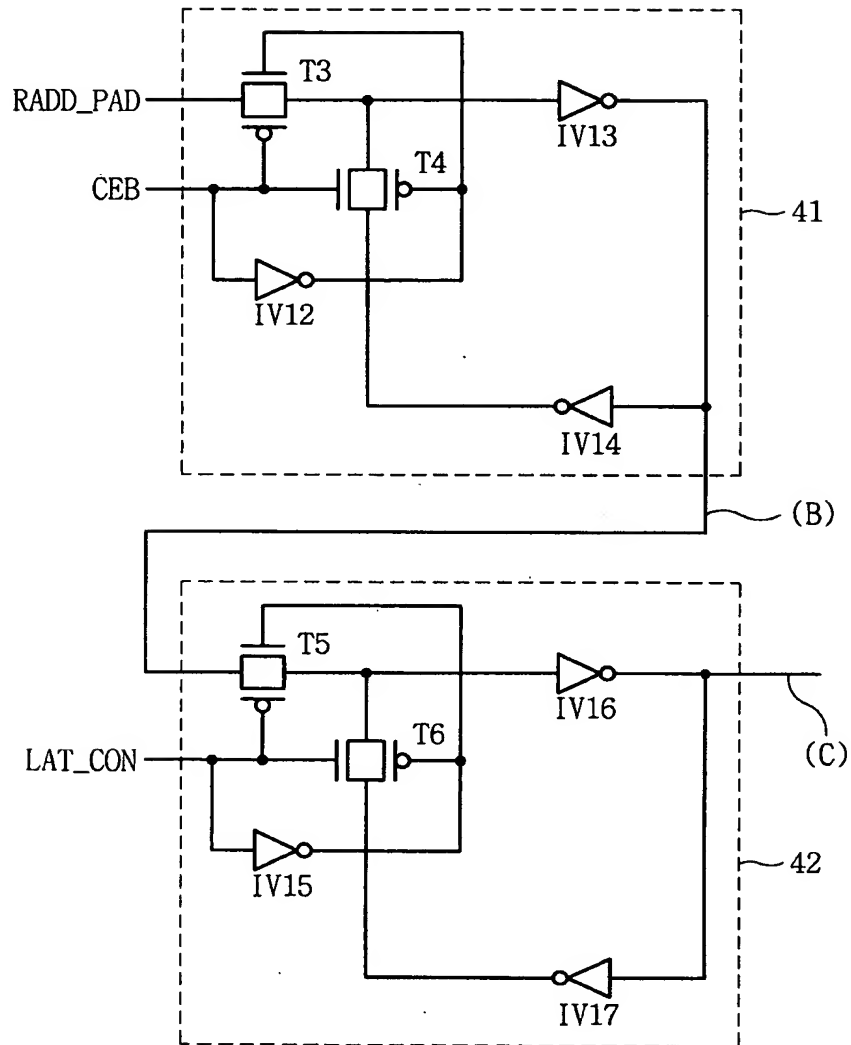


【도 6】

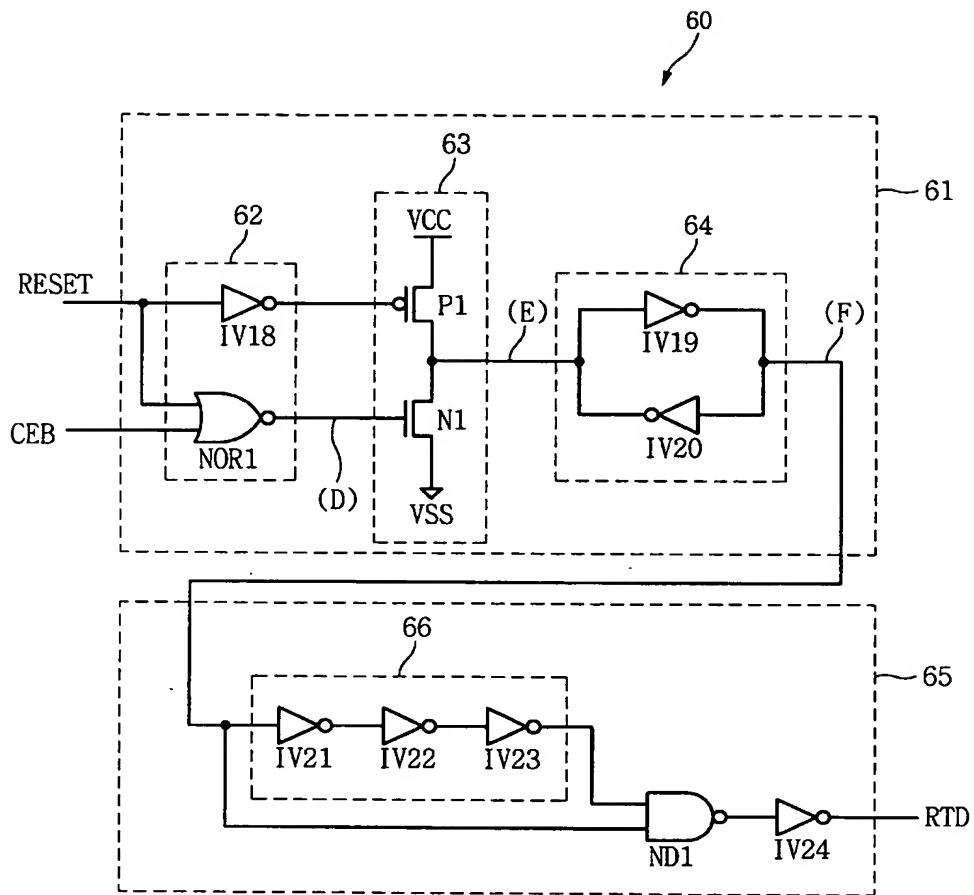




【도 7】

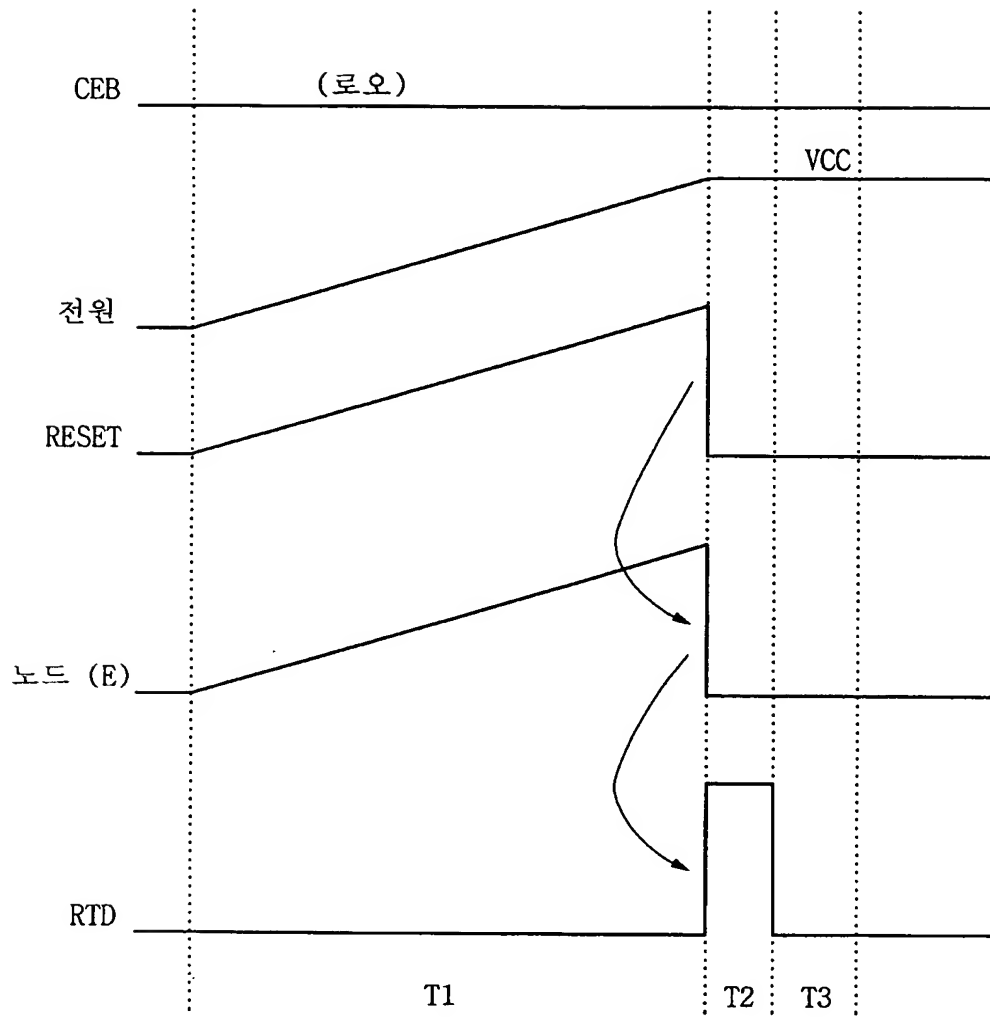


【도 8】

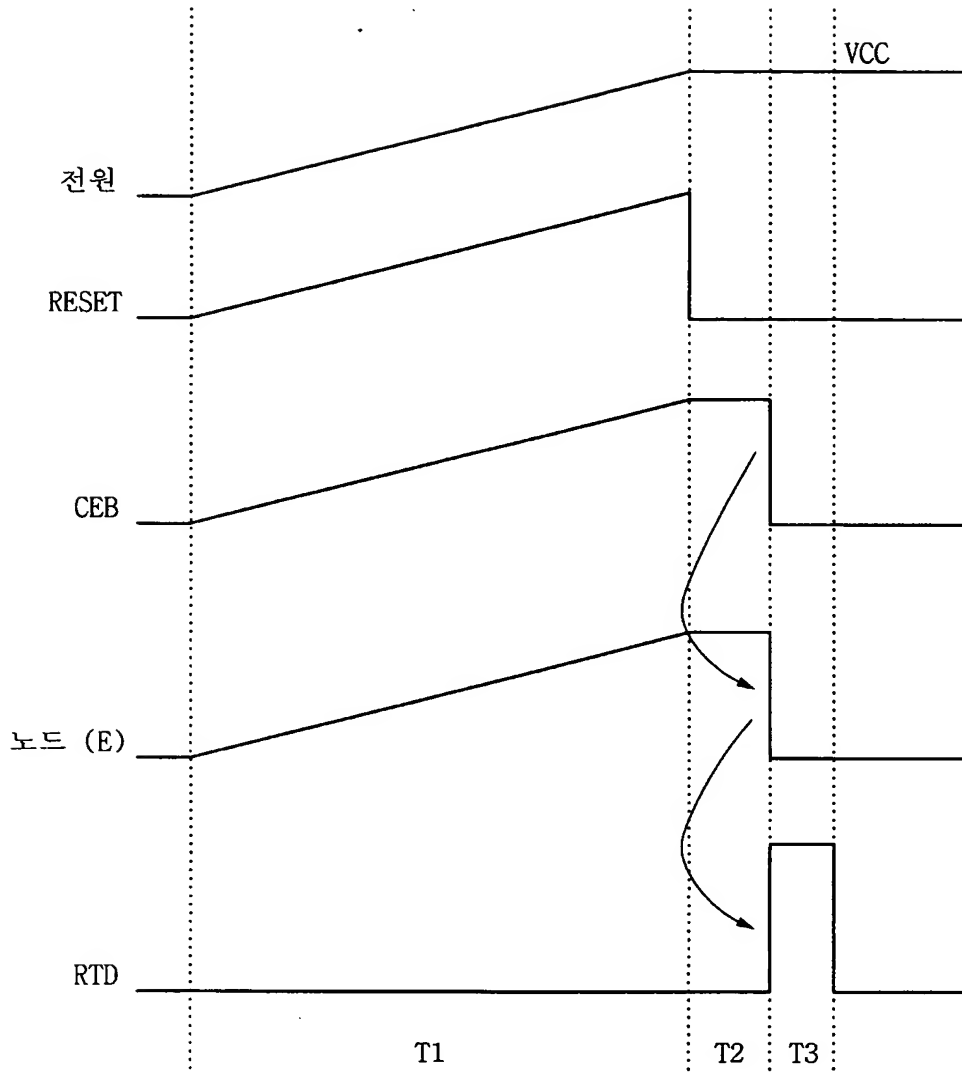




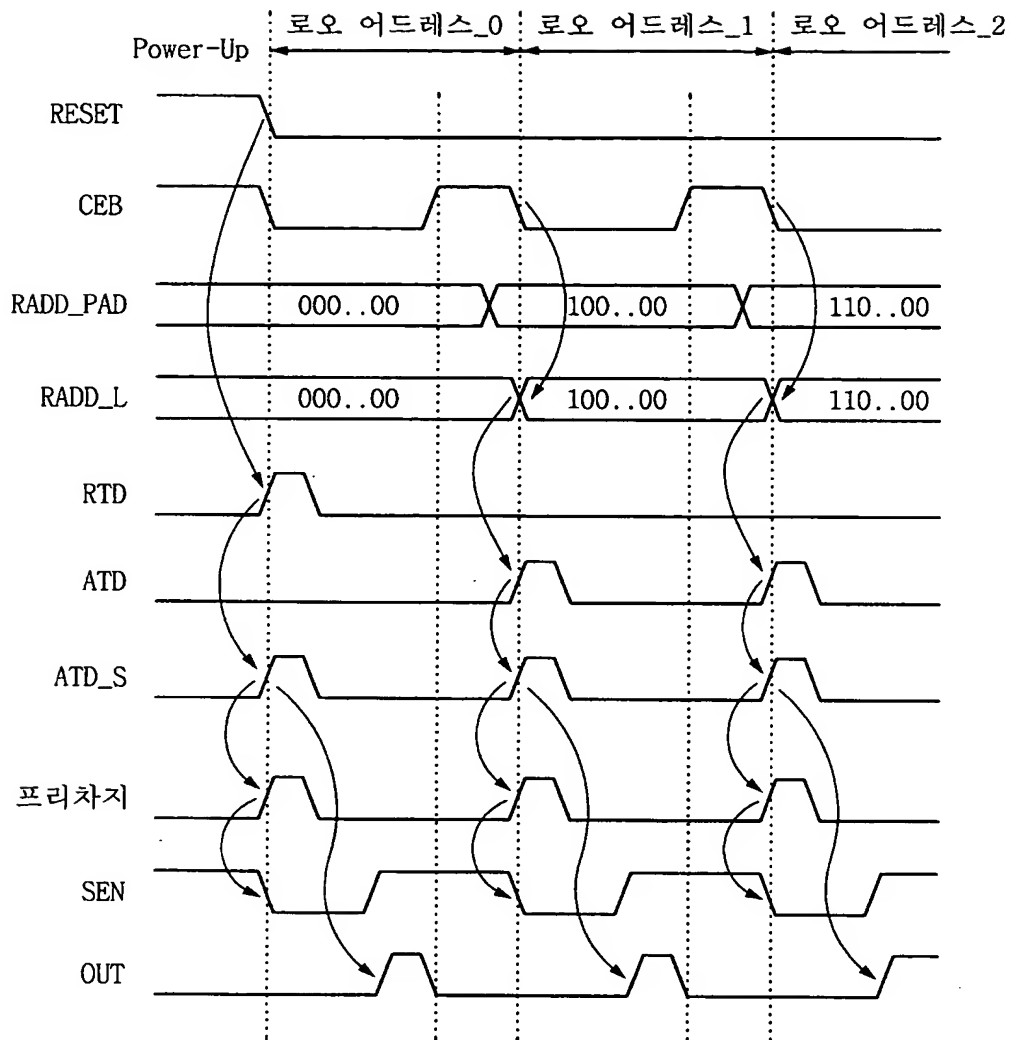
【도 9】



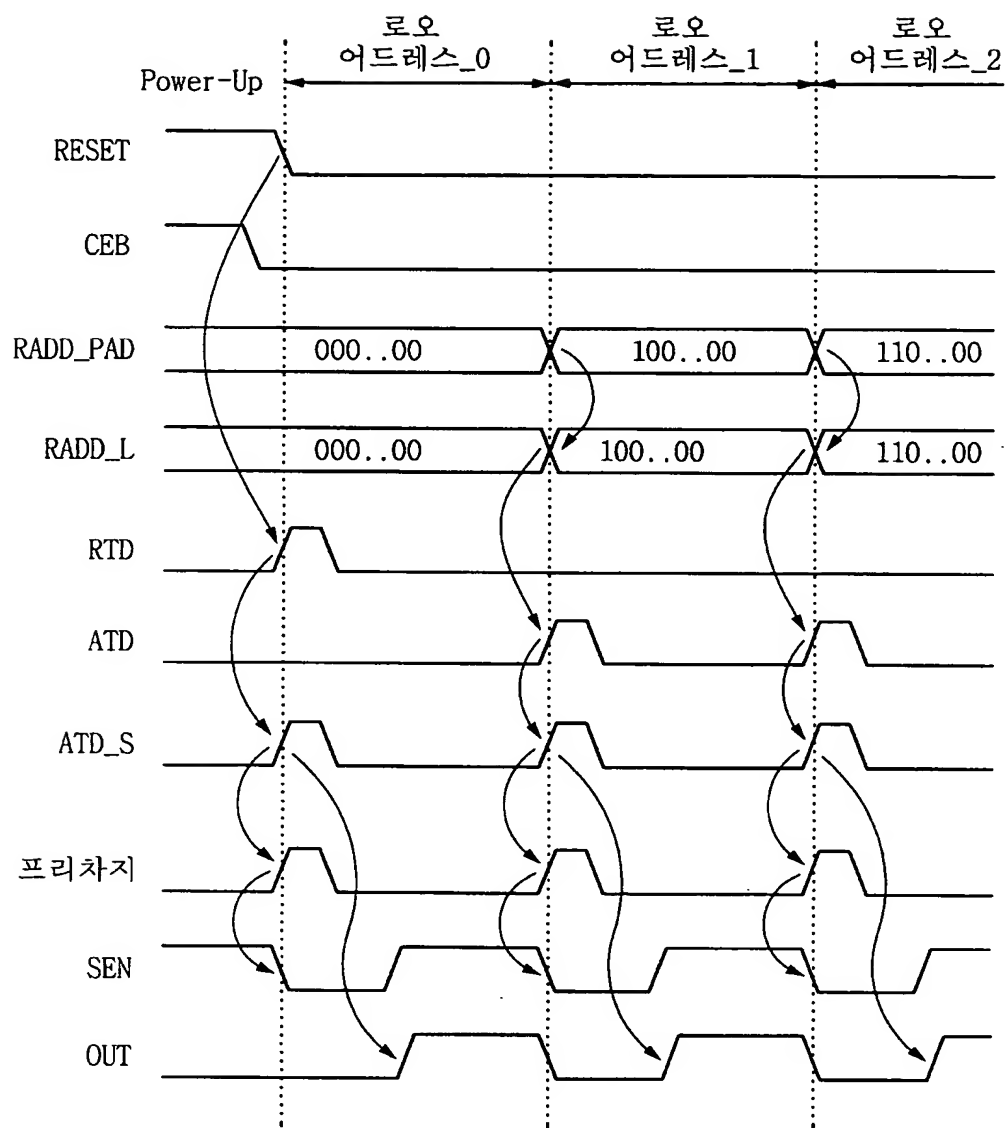
【도 10】



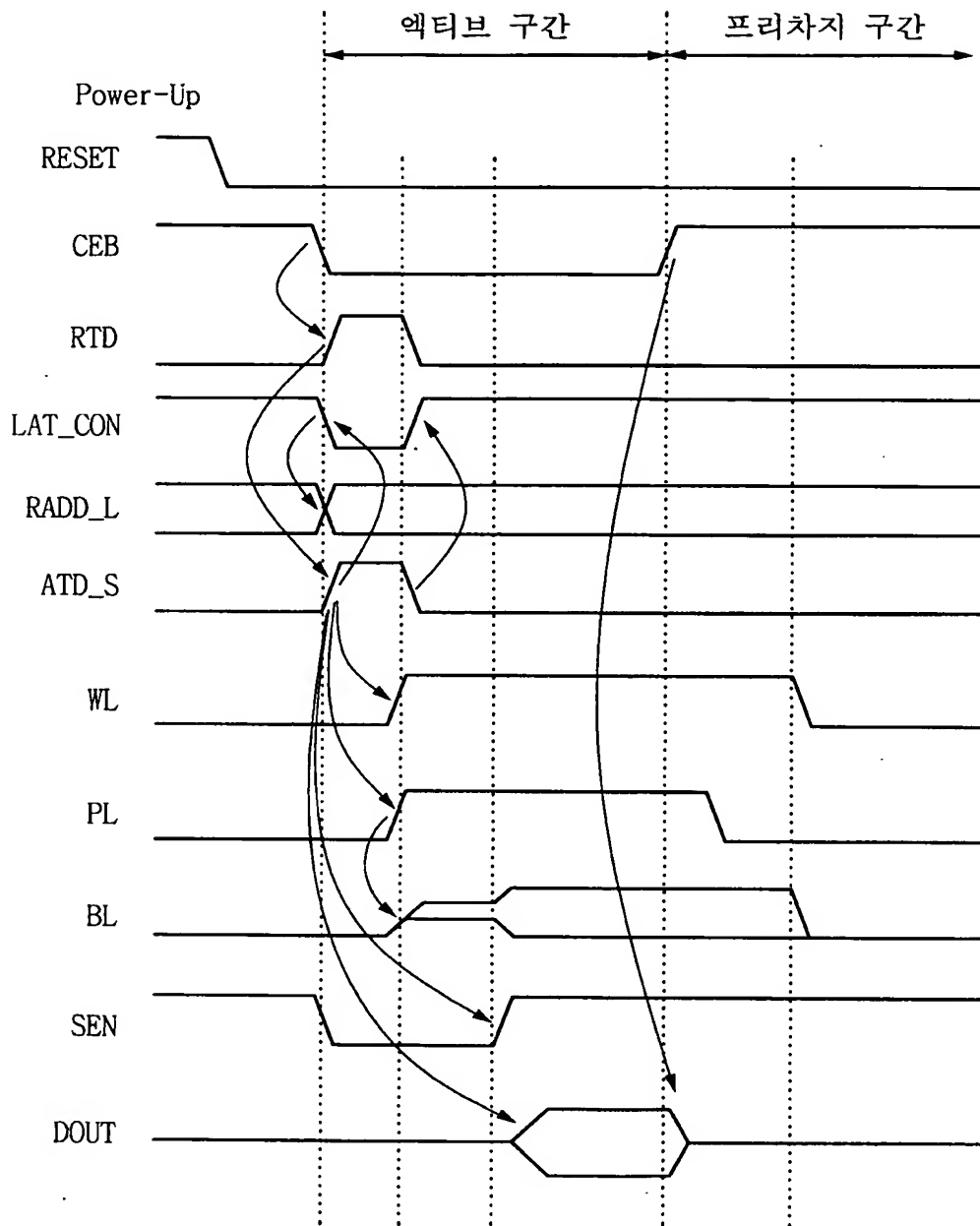
【도 11】



【도 12】

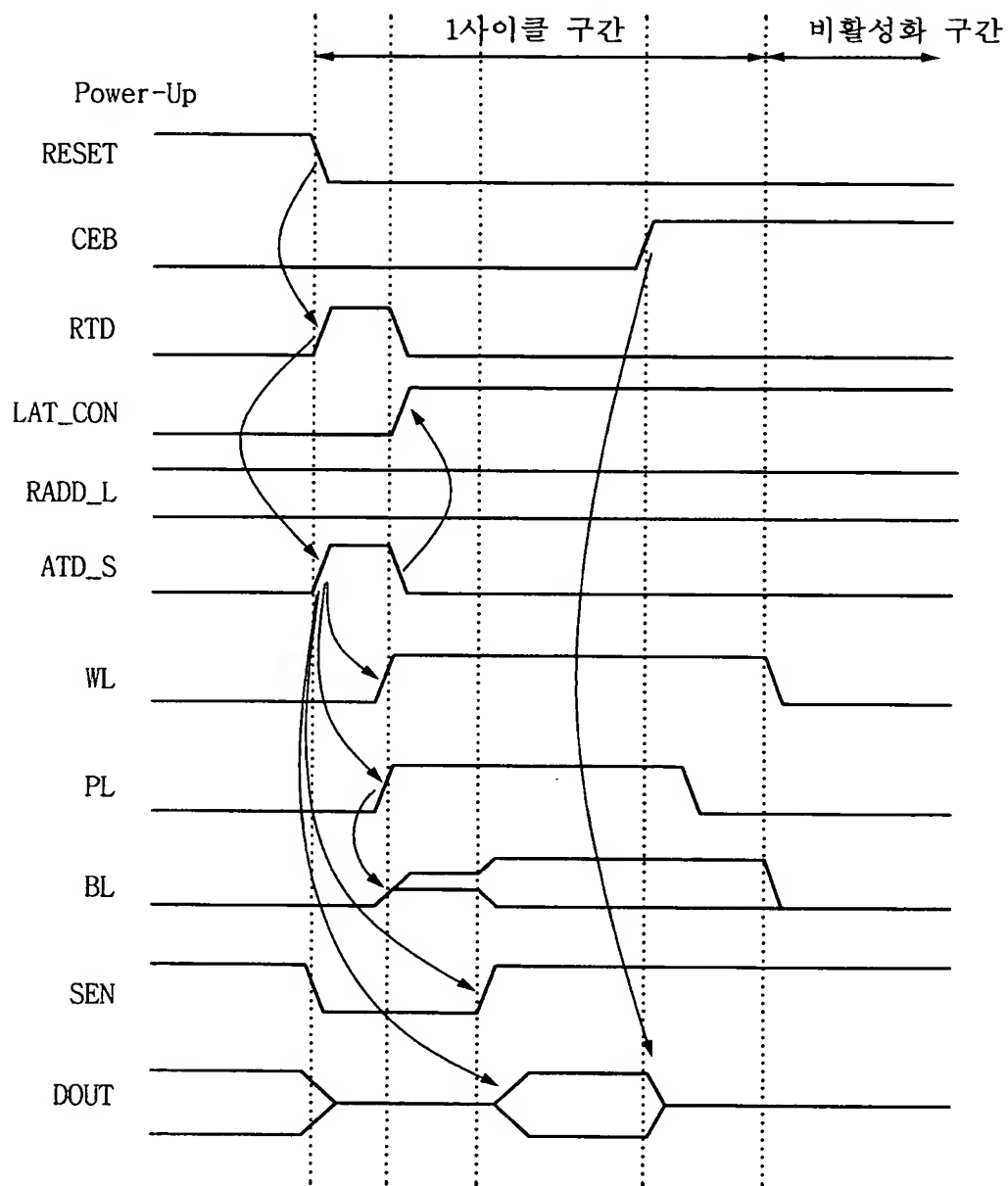


【도 13】

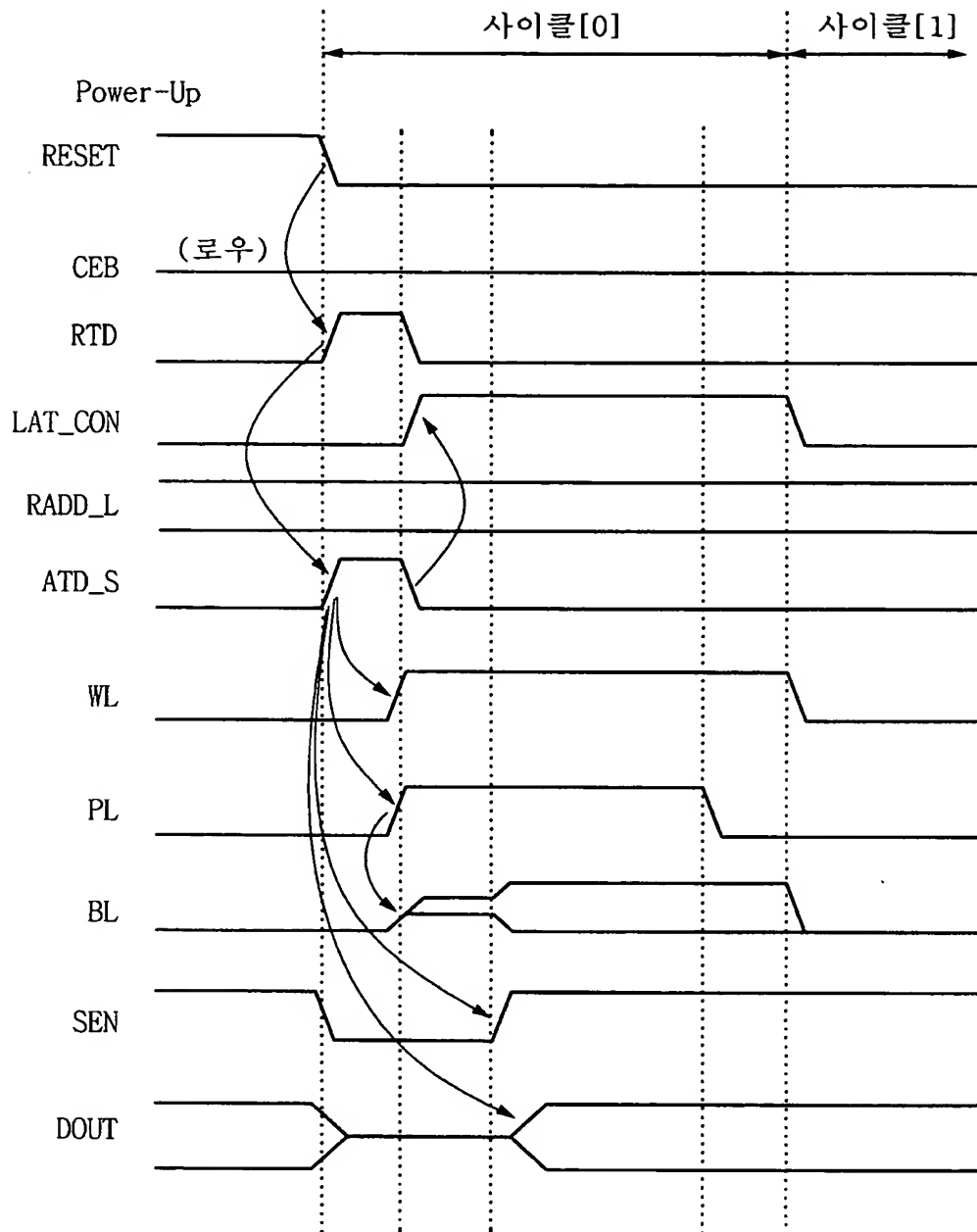




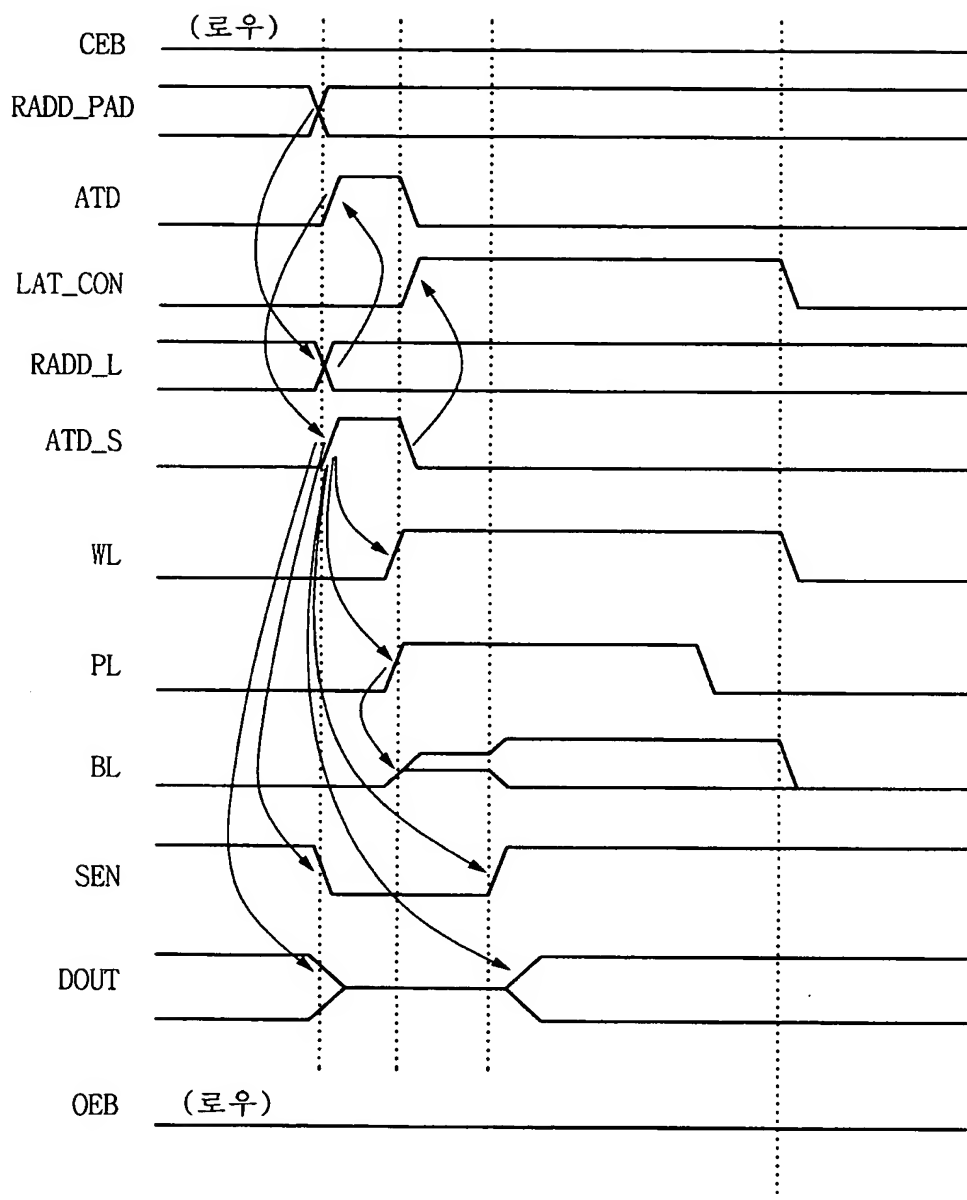
【도 14】



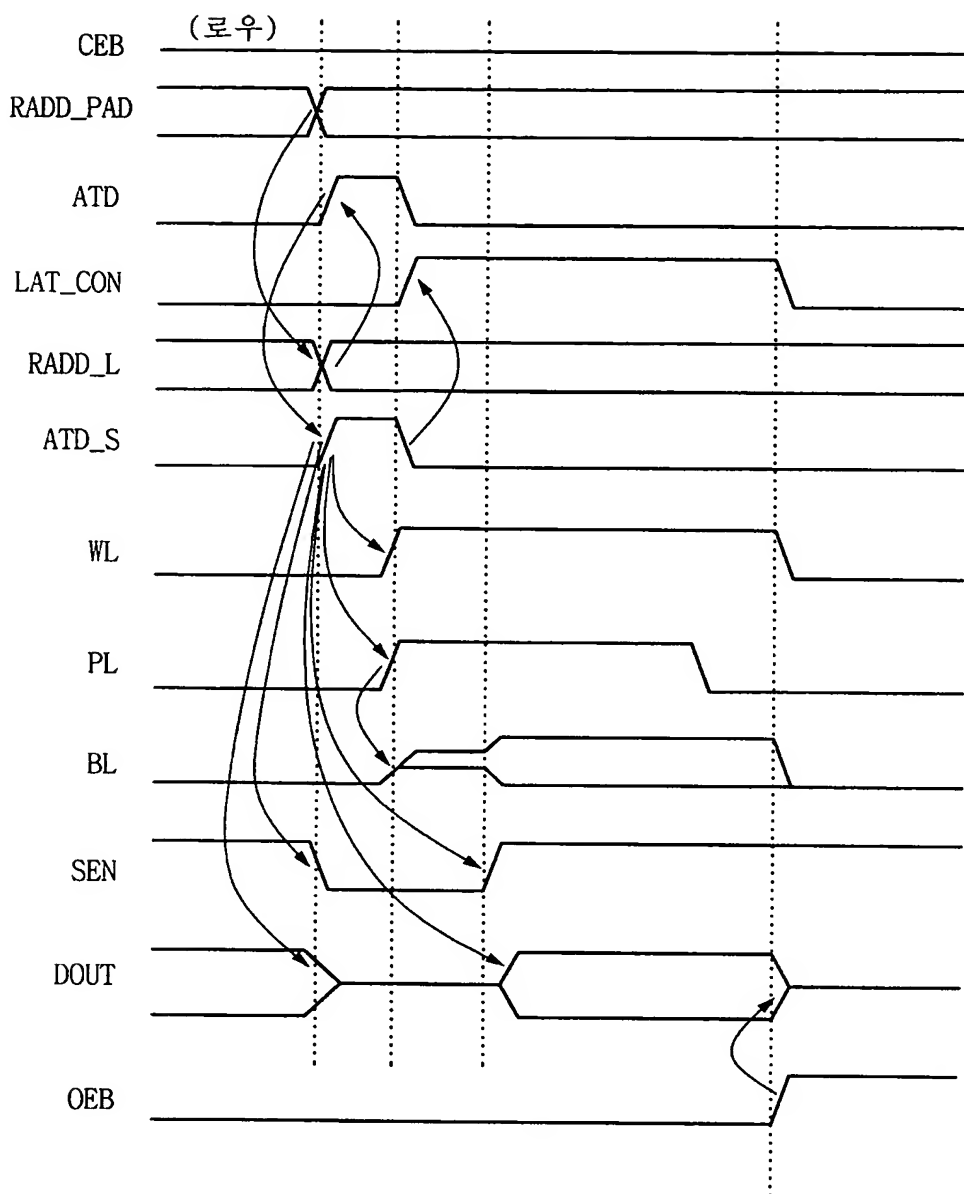
【도 15】



【도 16】

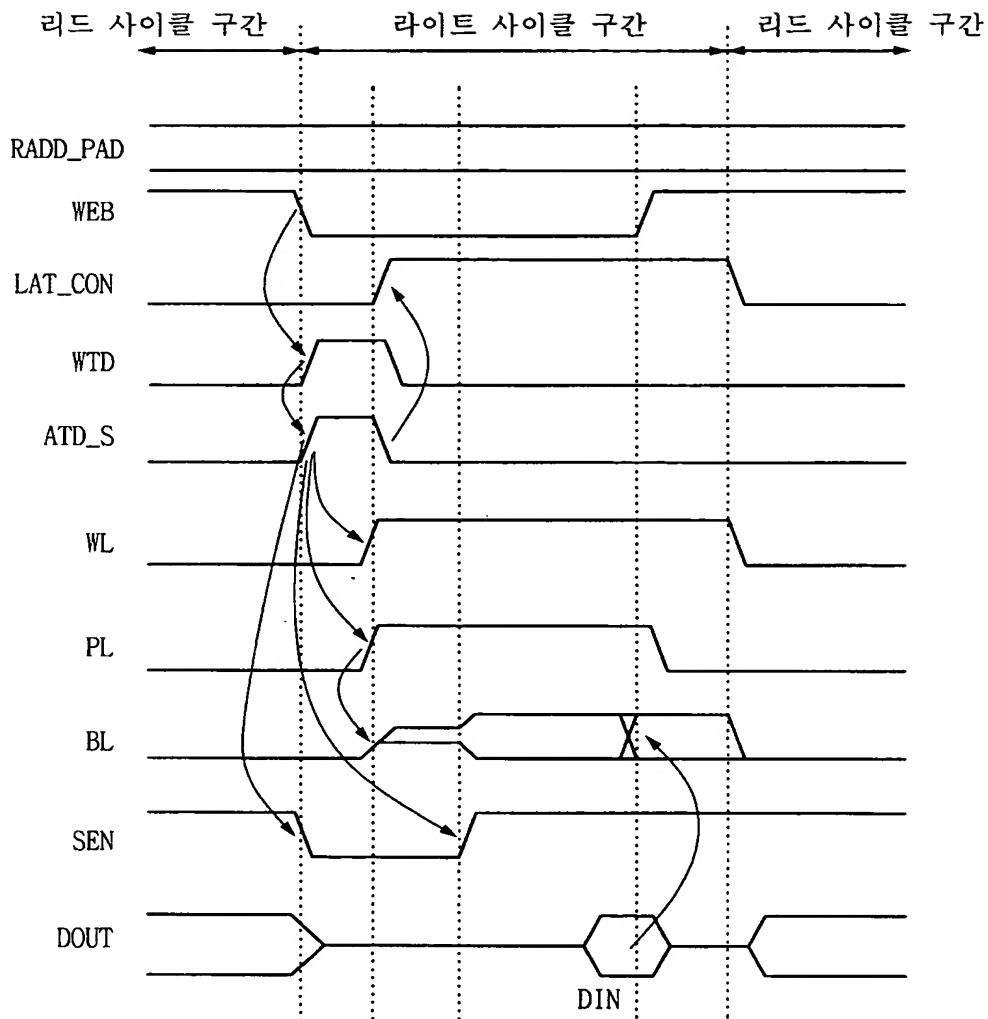


【도 17】

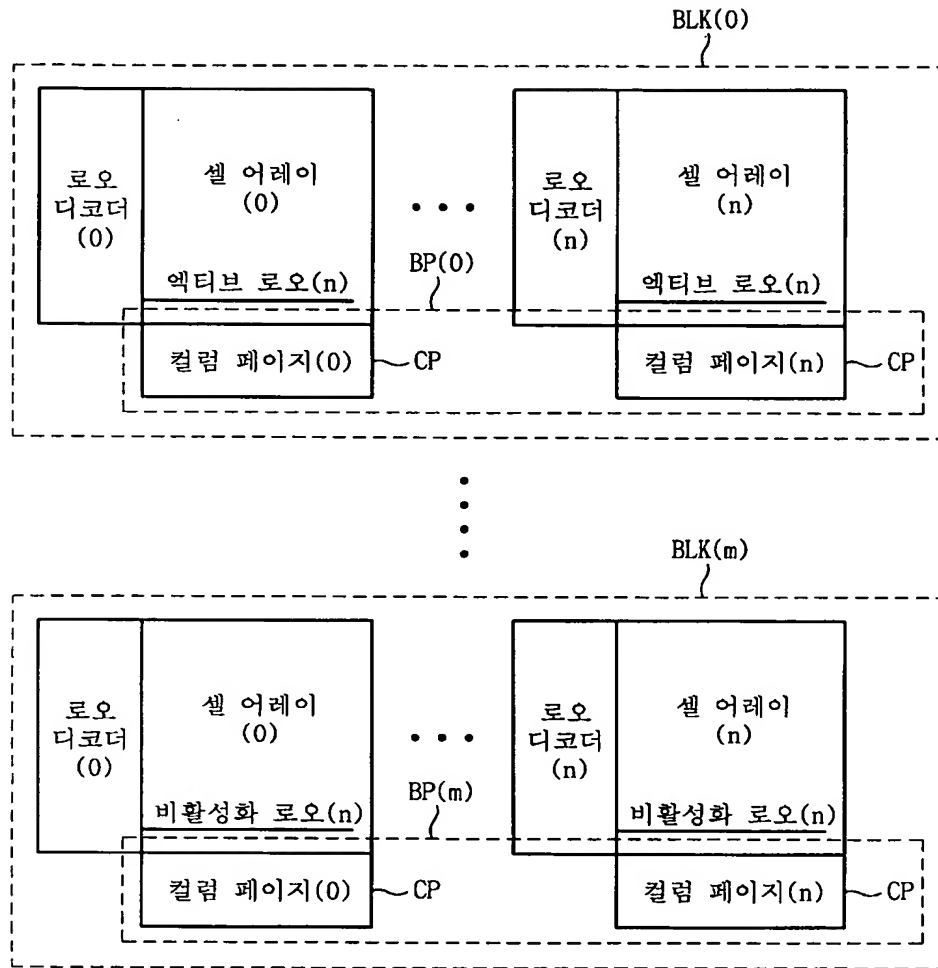




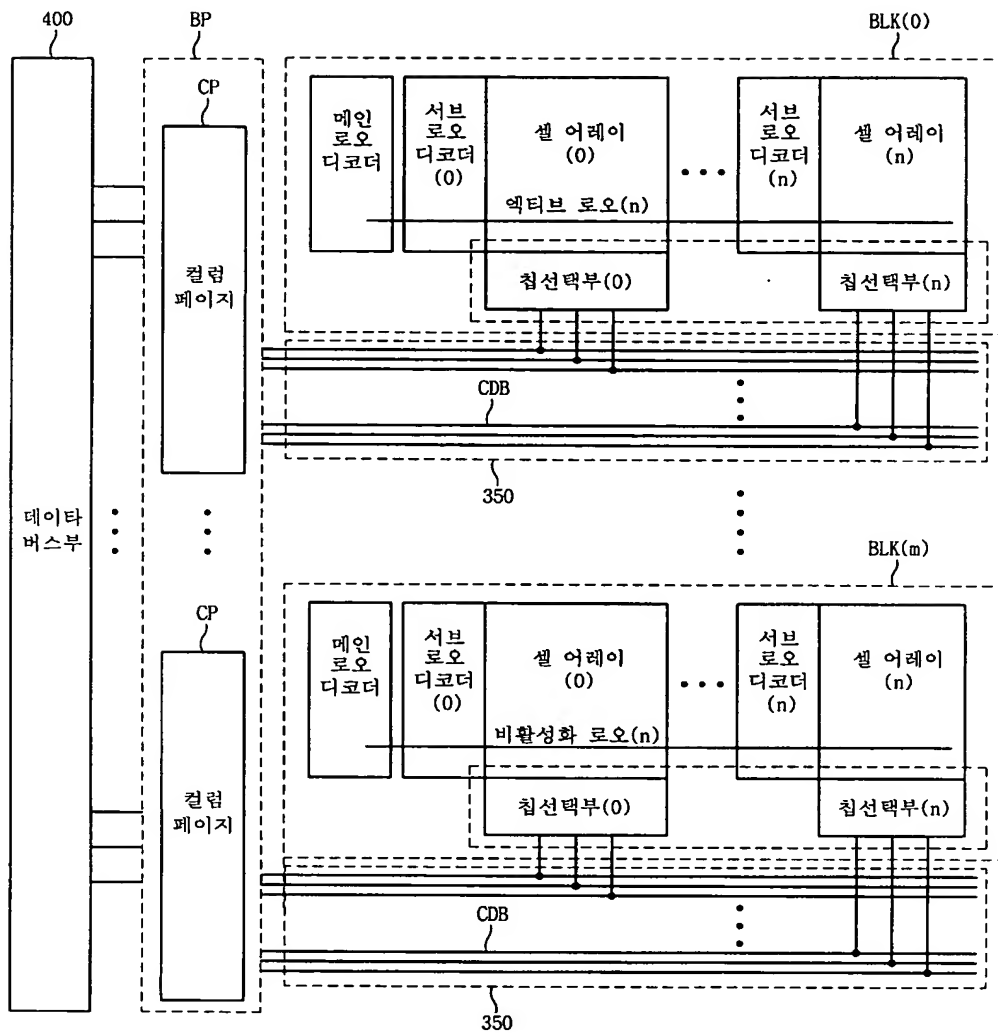
【도 18】



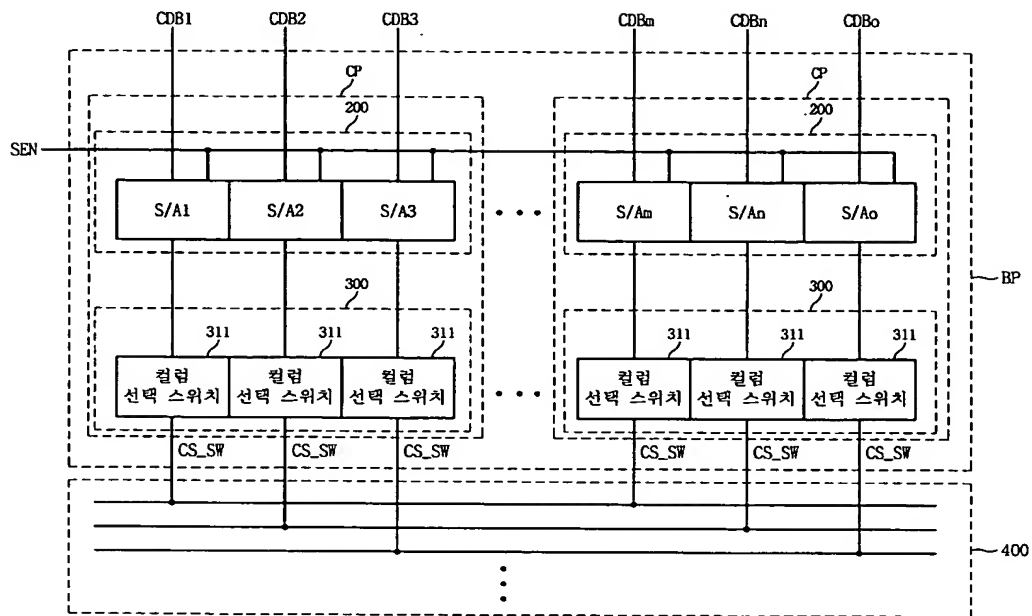
【도 19】



【도 20】

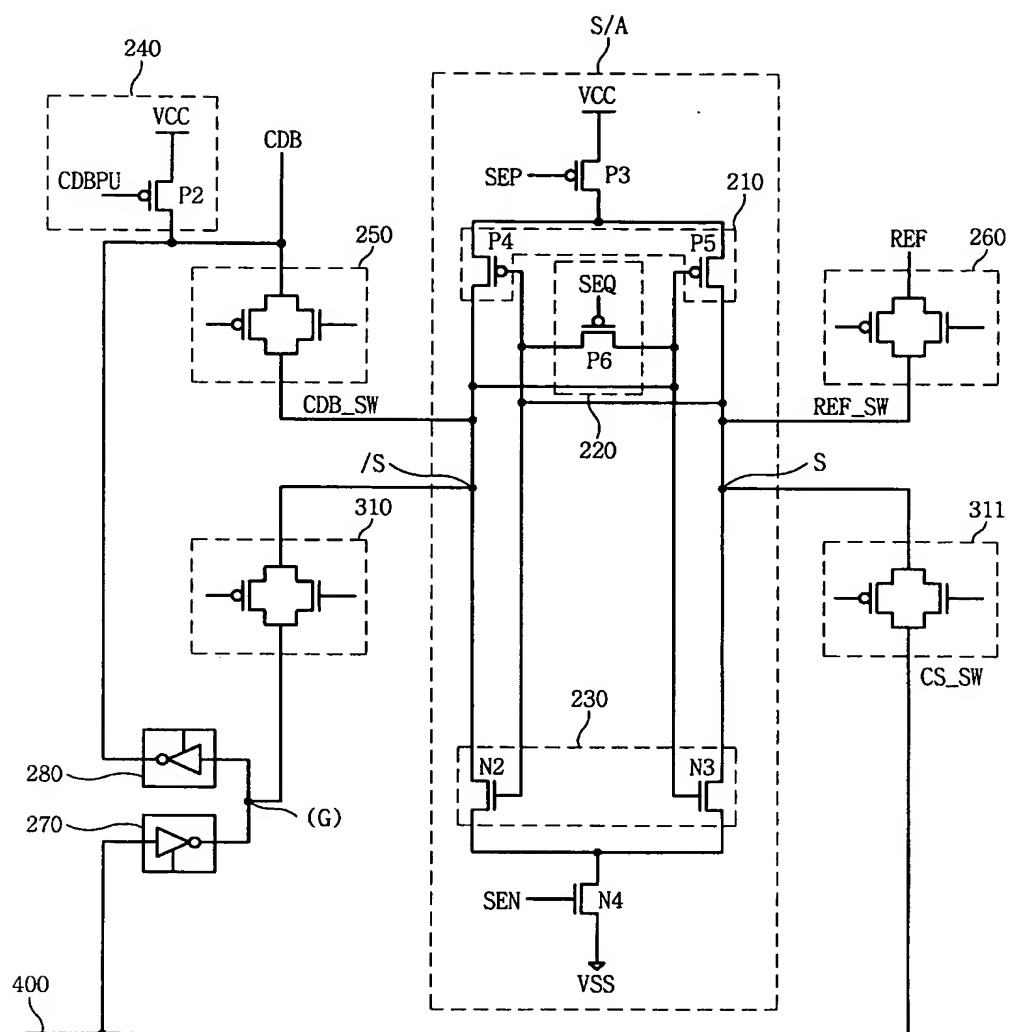


【도 21】

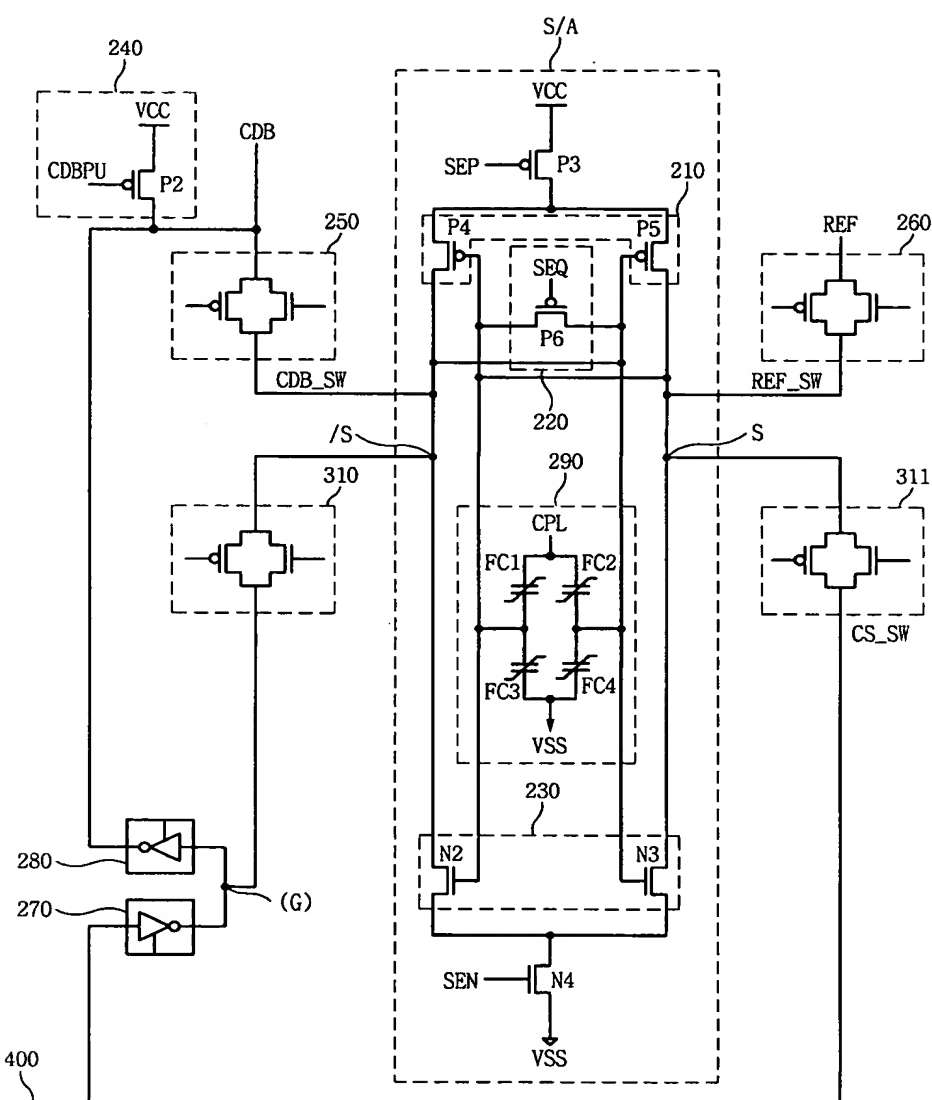




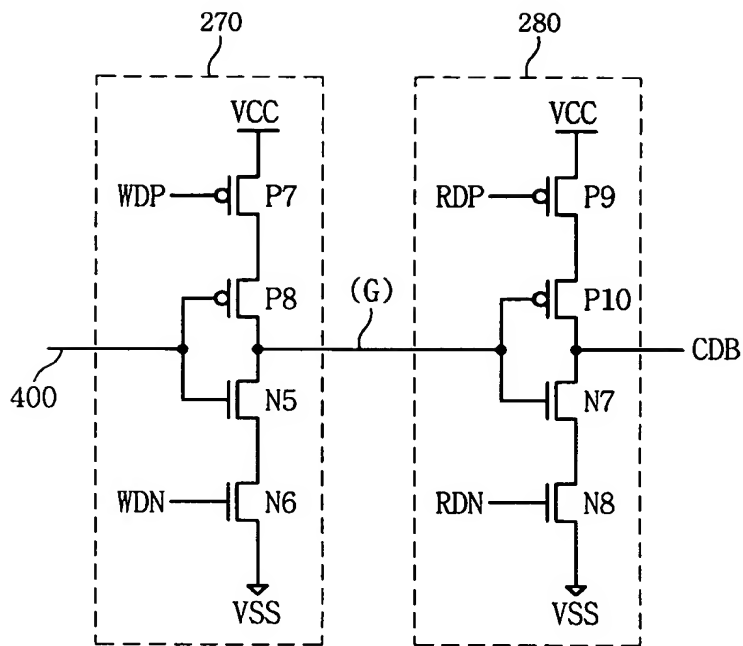
【도 22】



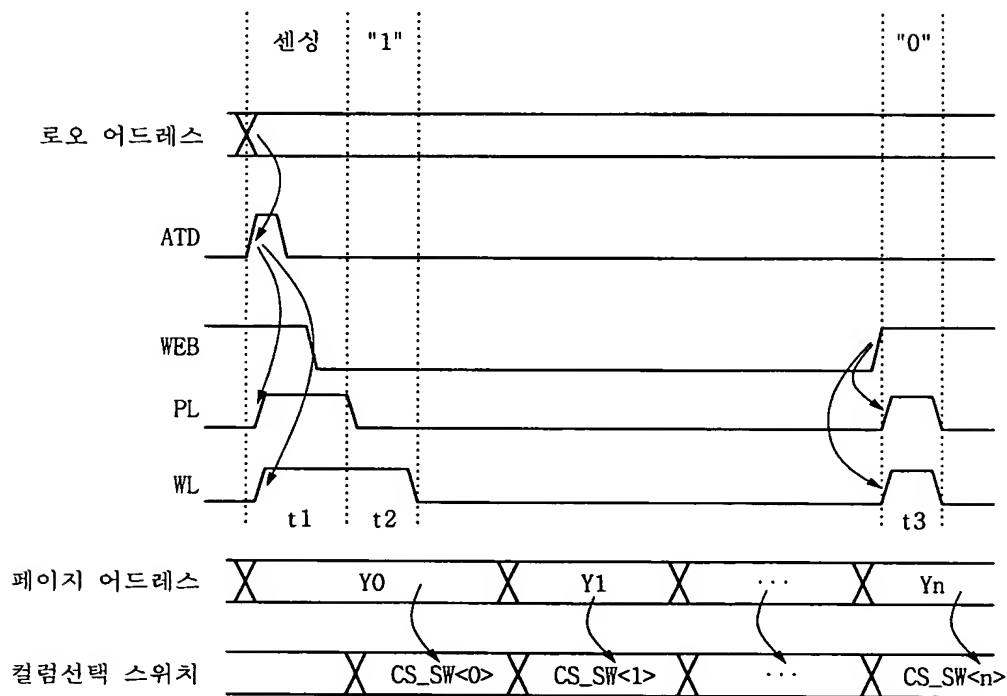
【도 23】



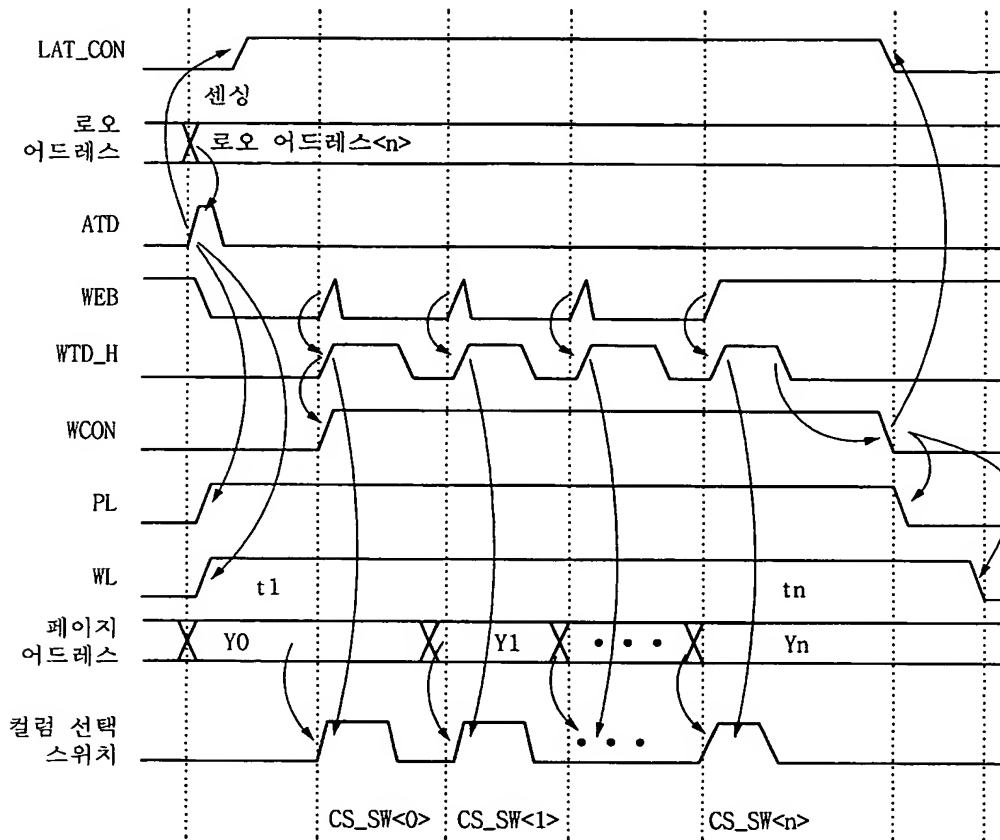
【도 24】



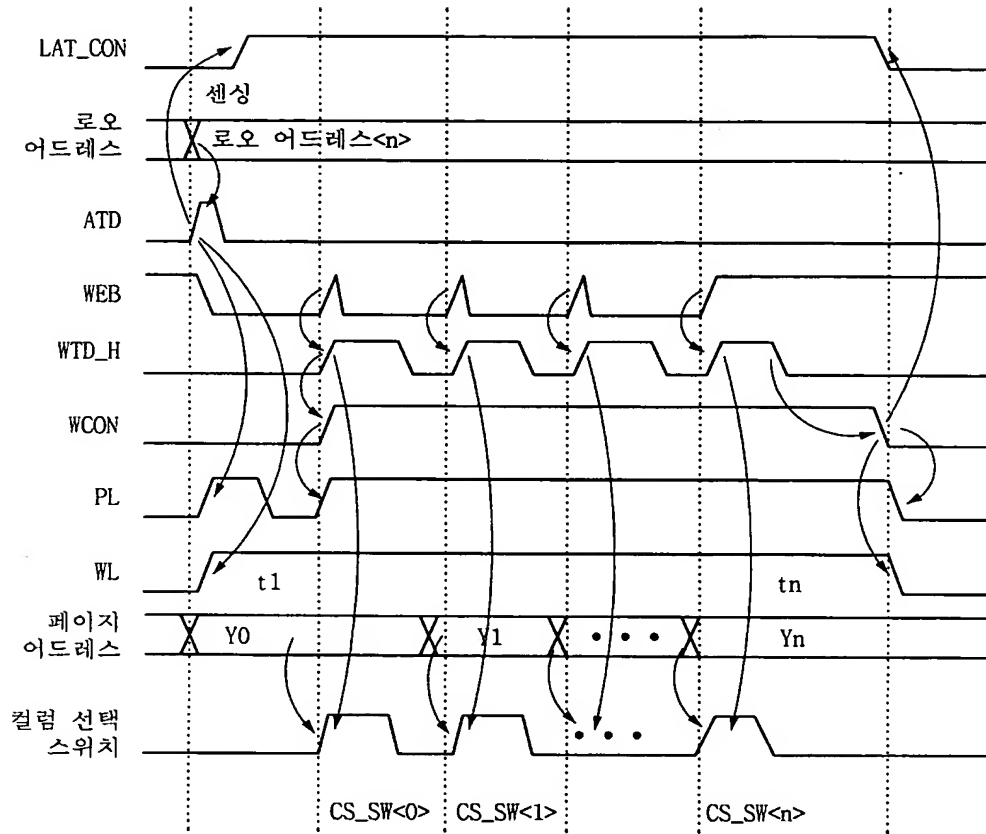
【도 25】



【도 26】

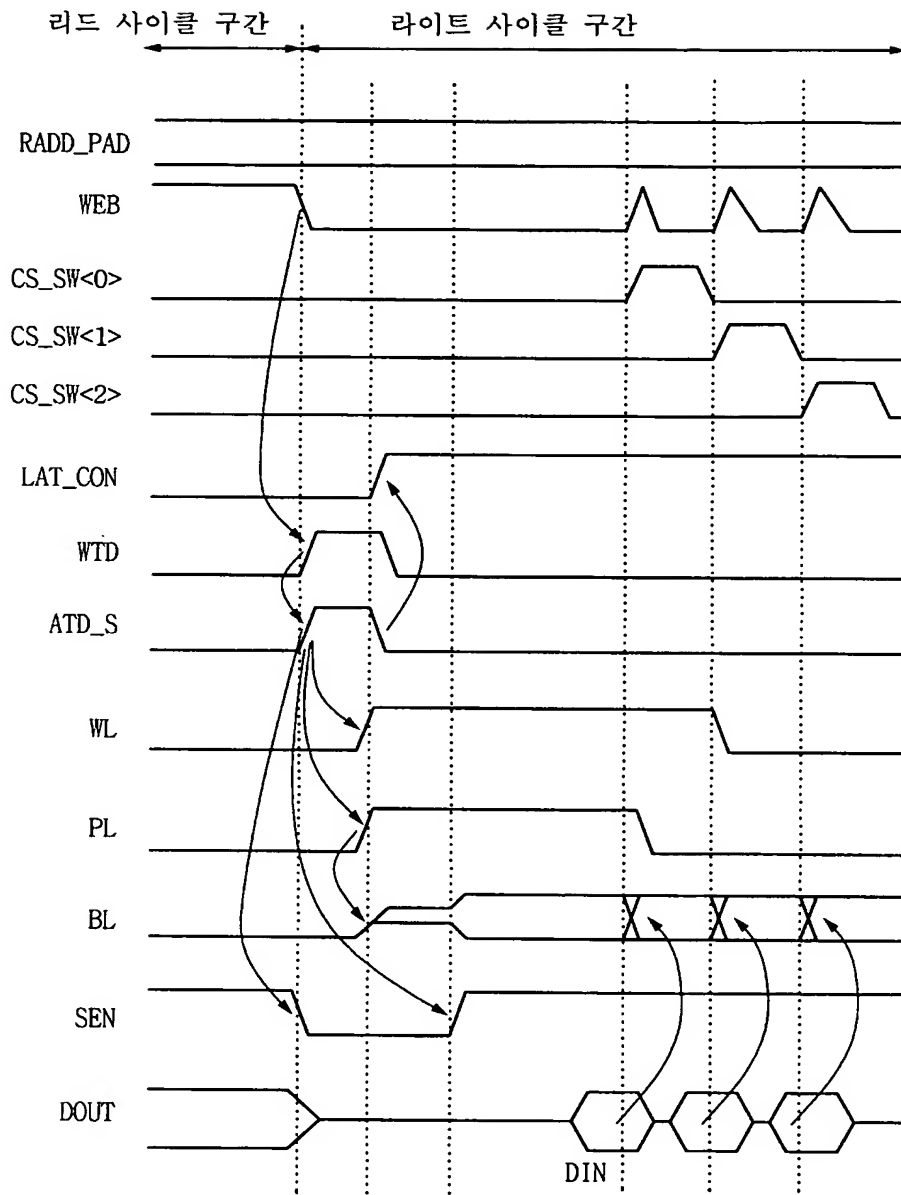


【도 27】

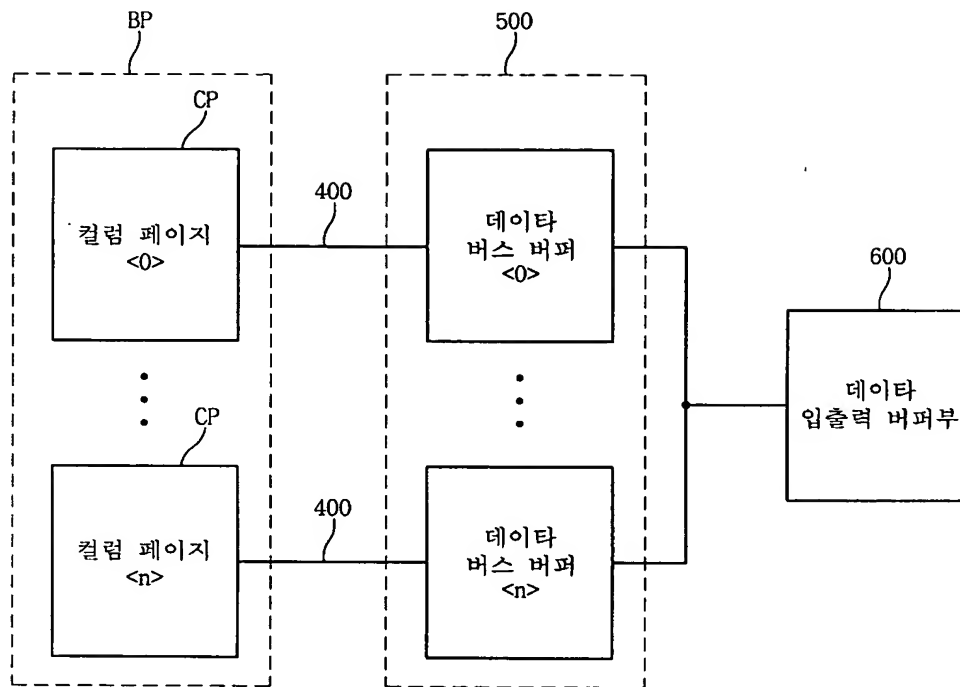




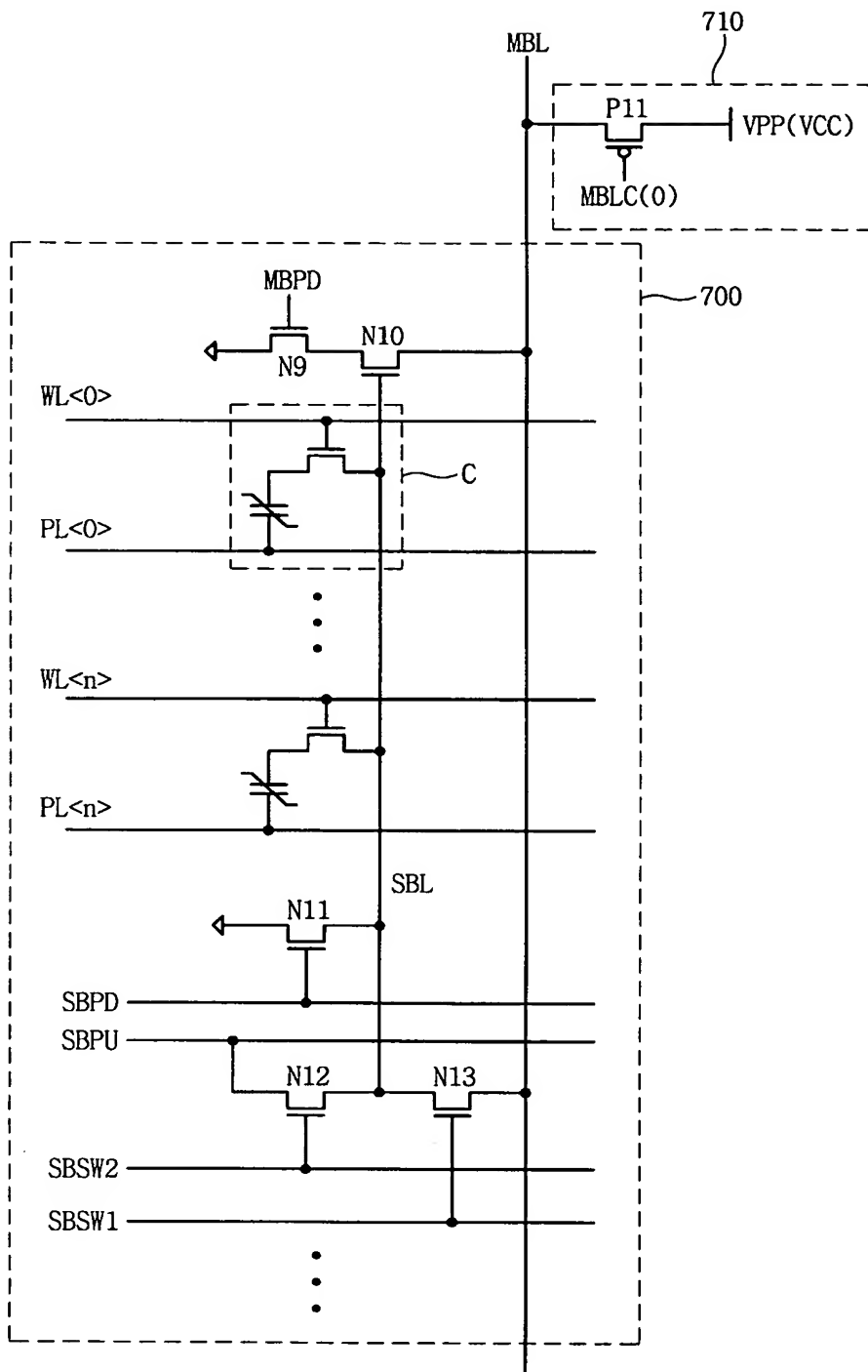
【도 28】



【도 29】

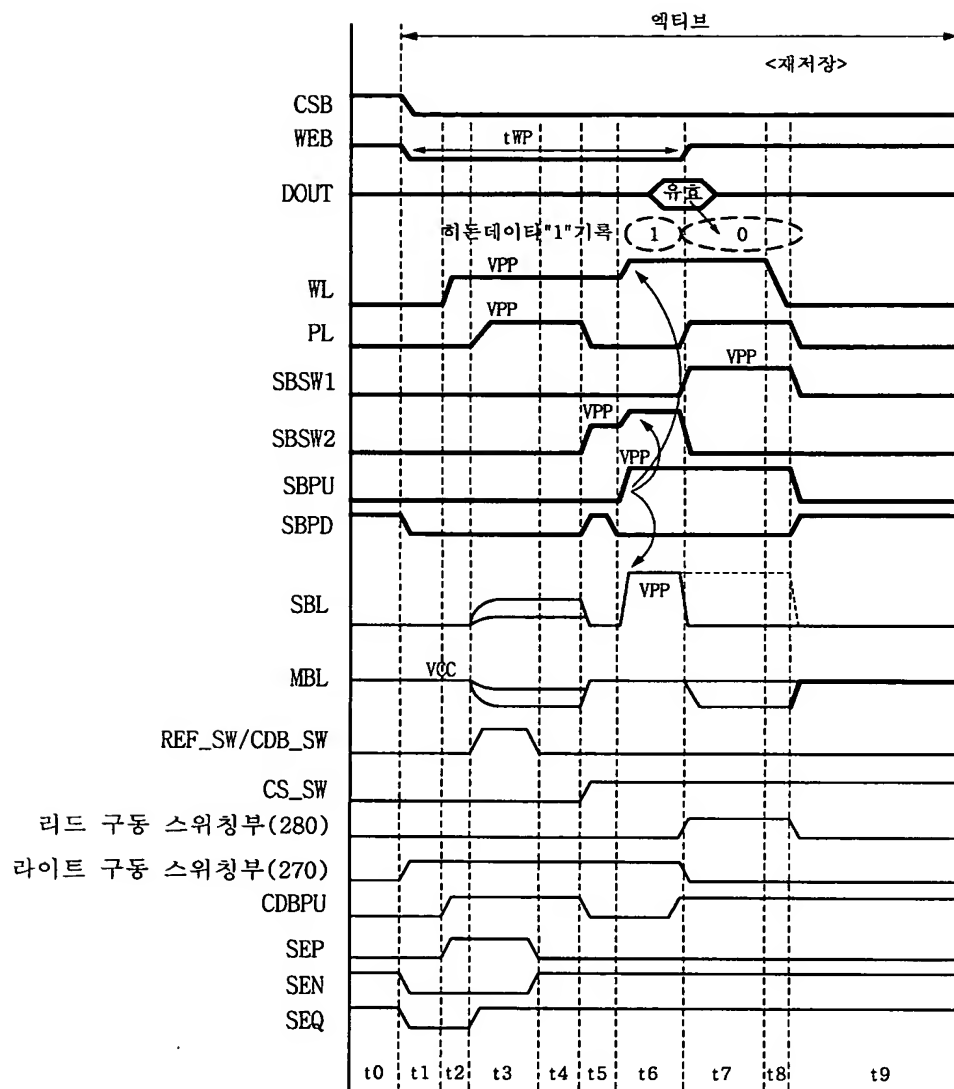


【도 30】

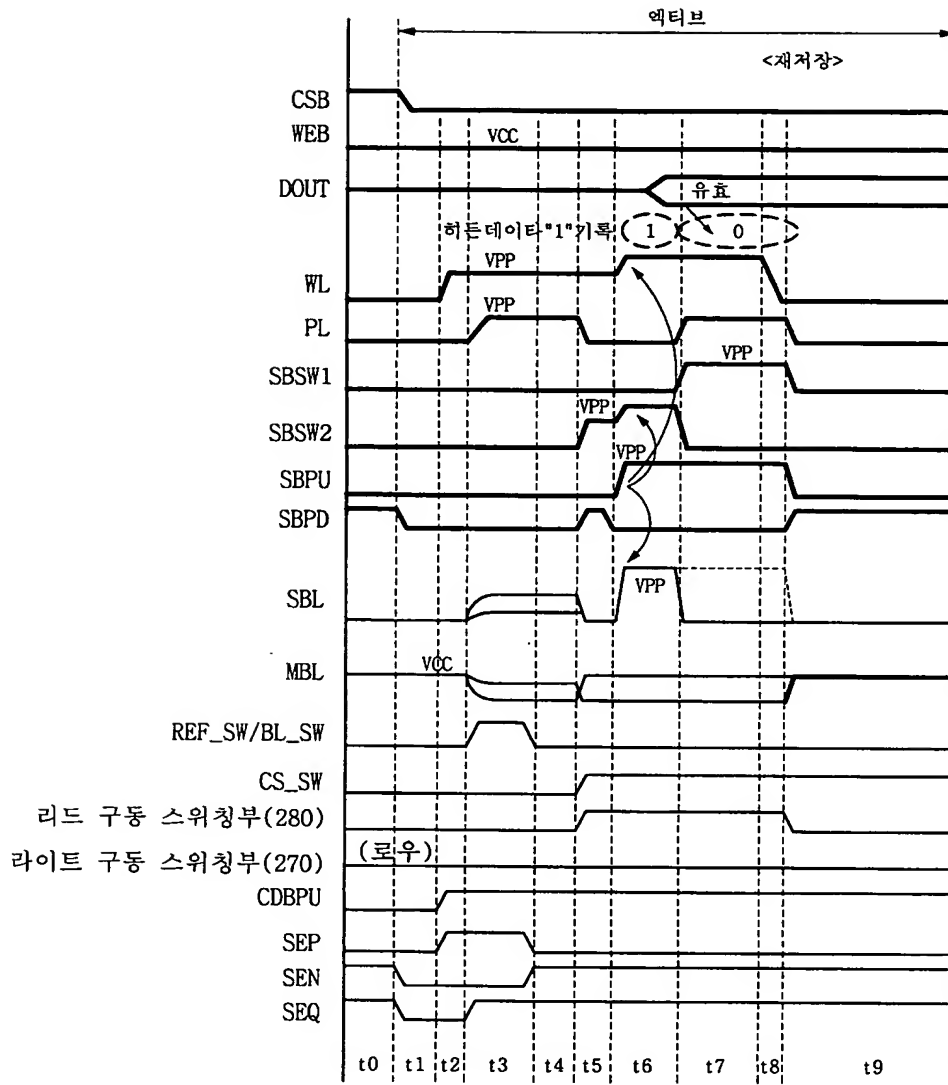




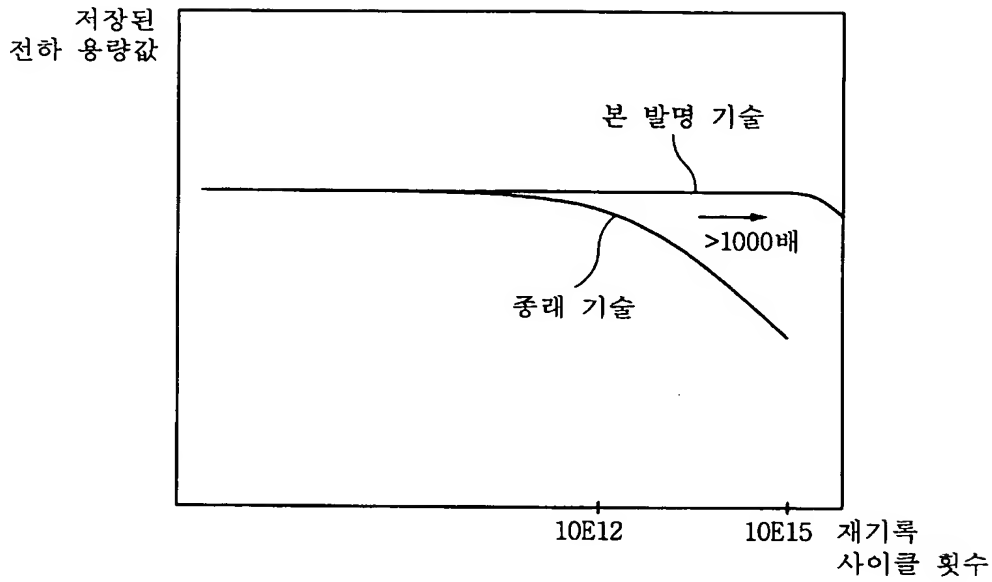
【도 31】



【도 32】



【도 33】



【도 34】

